

		Naziv predmeta: Projektovanje digitalnih sistema		
Šifra predmeta	Status predmeta	Semestar	Broj ECTS kredita	Fond Časova
	Obavezni	VIII	6	3P+0V+1L

Studijski programi za koje se organizuje: Postdiplomske magistarske studije Elektronike, studijski program Elektronika, Telekomunikacije i Računari, smjer Elektronika	
Uslovljenost drugim predmetima: Nema.	
Ciljevi izučavanja predmeta: U okviru ovog predmeta studenti se upoznaju sa osnovnim principima digitalnog dizajna najnižeg nivoa. Cilj je da se studenti osposobe da dizajniraju i razvijaju digitalne sisteme malih i srednjih veličina, izvrše potrebne analize, kao i implementaciju na FPGA kolu.	
Ime i prezime nastavnika i saradnika: <i>Doc. dr Milutin Radonjić</i>	
Metod nastave i savladavanja gradiva: Predavanja i laboratorijske vježbe, individualni rad na praktičnim zadacima, konsultacije.	
Sadržaj predmeta:	
Pripreme nedjelje	Priprema i upis semestra.
I nedjelja	Uvodno predavanje.
II nedjelja	Uvod u tehnologiju mikrosistema. Pregled tehnologija za implementaciju. SSI, MSI, LSI, VLSI. Projektovanje opštih sistema. Dizajn standardne ćelije. Dizajn GA.
III nedjelja	Field Programmable logika. FPGA. Verilog HDL: tipovi podataka, moduli i portovi. 1. domaći zadatak
IV nedjelja	Tok dizajna. Verifikacija. Logička korektnost. Analiza statičkog tajminga. Verifikacija unutar funkcionalnog sistema.
V nedjelja	Xilinx Spartan-3E familija kola. Xilinx Spartan-3E Starter Kit. Xilinx ISE razvojni sistem. 2. domaći zadatak
VI nedjelja	Verilog HDL: operatori, trajno određivanje.
VII nedjelja	Verilog HDL: proceduralno određivanje. 3. domaći zadatak
VIII nedjelja	Kolokvijum.
IX nedjelja	Verilog HDL: signalna i vremenska ograničenja.
X nedjelja	Verilog HDL: kontrola kašnjenja, sistemske funkcije. 4. domaći zadatak.
XI nedjelja	Implementacija automata.
XII nedjelja	Razmatranja o sintezi. Razmatranja o FPGA. 5. domaći zadatak.
XIII nedjelja	Dizajn i fabrikacija VLSI uređaja.
XIV nedjelja	Obrana seminarskog rada.
XV nedjelja	Proces fabrikacije i njegov uticaj na fizički dizajn.
XVI – XIX nedjelja	Završni ispit i popravni ispit.
OPTEREĆENJE STUDENATA	
<u>Nedjeljno</u>	<u>U toku semestra</u>
Radni časovi: 6 kredita x 40/30 = 8 sati	Nastava i završni ispit: (8 sati) x 16 = 128 sati.
Structura:	Neophodna priprema (prije početka semestra): 2 x (8 sati) = 16 sati.
3 sata predavanja	Ukupno opterećenje za predmet: 6x30 = 180 sati
1 sat laboratorijskih vježbi	Dopunski rad za pripremu ispita u popravnom ispitnom roku, uključujući i polaganje popravnog ispita od 0 do 33 sata.
4 sata za individualni rad, uključujući konsultacije..	Struktura opterećenja:
	128 sati (nastava) + 16 sati (priprema) + 33 sata (dopunski rad)
Studenti su obavezni da pohađaju nastavu, rade i predaju testove, urade laboratorijske vježbe i oba kolokvijuma.	
Literatura:	
<ul style="list-style-type: none"> - Spartan-3E Starter Kit Board User Guide, Xilinx, 2006. - A Guide To Digital Design And Synthesis, by Samir Palnitkar, Prentice Hall, 2003. - Digital VLSI Design with Verilog, by John M. Williams, Springer, 2008. - Algorithms for VLSI Physical Design Automation, by Naveed A. Sherwani, Kluwer Academic Publishers, 2002. 	
Oblici provjere znanja i ocjenjivanje:	
<ul style="list-style-type: none"> - Domaći zadaci nose 5x1 poen. - Kolokvijum nosi 40 poena. - Seminarski rad nosi 15 poena. - Završni ispit nosi 40 poena. 	
Prelazna ocjena se dobija ako se kumulativno sakupi najmanje 50 poena.	
Posebnu naznaku za predmet:	
Nastava se organizuje u grupama od okvirno 40 studenata, a laboratorija u grupama od 10 studenata. U slučaju potrebe nastava se može održati na engleskom jeziku.	
Ime i prezime nastavnika koji je pripremio podatke: <i>Doc. dr Milutin Radonjić</i>	
Napomena:	