

Elektrotehnički fakultet / ELEKTRONIKA / Projektovanje VLSI kola

Naziv predmeta:	Projektovanje VLSI kola			
Šifra predmeta	Status predmeta	Semestar	Broj ECTS kredita	Fond časova (P+V+L)
12044	Obavezan	1	5	3+1+0
Studijski programi za koje se organizuje	ELEKTRONIKA			
Uslovljenost drugim predmetima	Nema uslova za prijavljivanje i slušanje predmeta.			
Ciljevi izučavanja predmeta	Studenti se upoznaju sa analizom i projektovanjem kola visokog stepena integracije u domenu statičkih karakteristika, dinamičkih karakteristika, disipacije snage i angažovane površine na čipu, kao i osnovnim fazama fabrikacije integrisanih poluprovodničkih kola.			
Ishodi učenja	Nakon što student položi ovaj ispit biće u mogućnosti da: 1. Analizira DC prenosnu karakteristiku, margine smetnji i parazitne efekte kod CMOS invertora; 2. Analizira DC prenosnu karakteristiku i parazitne efekte kod bilateralnog CMOS prekidača; 3. Poznae osnovne postupke u fabrikaciji silicijumskih integrisanih kola; 4. Analizira uticaj otpornih, kapacitivnih i induktivnih parazitnih efekata na čipu i rješava problem raspodijeljenih RC parametara; 5. Analizira dinamičke karakteristike CMOS invertora i projektuje parametre CMOS kola u skladu sa zahtjevima odziva u vremenskom domenu; 6. Rješava problem pobuđivanja velikih kapacitivnosti; 7. Analizira disipaciju snage CMOS invertora i projektuje parametre CMOS kola u skladu sa limitiranom disipacijom snage; 8. Ekvivalentira proizvoljno CMOS kombinaciono kolo jednim CMOS invertorom.			
Ime i prezime nastavnika i saradnika	Prof. dr Nikša Tadić - nastavnik, Doc. dr Milena Erceg			
Metod nastave i savladanja gradiva	Predavanja, računске vježbe i laboratorijske vježbe. Samostalni rad i konsultacije.			
Plan i program rada				
Pripremne nedjelje	Priprema i upis semestra			
I nedjelja, pred.	Vrste podloga, tehnologije i tehnike izrade, stepen integracije, metodologije projektovanja integrisanih kola			
I nedjelja, vježbe	Softverski paket za projektovanja elektronskih kola LT Spice			
II nedjelja, pred.	DC prenosna karakteristika CMOS invertora			
II nedjelja, vježbe	DC prenosna karakteristika CMOS invertora (simulacije u LT SPice-u)			
III nedjelja, pred.	Margine smetnji kod CMOS invertora			
III nedjelja, vježbe	Margine smetnji kod CMOS invertora (simulacije u LT SPice-u)			
IV nedjelja, pred.	Parazitni efekti kod CMOS invertora (parazitne diode, latch-up)			
IV nedjelja, vježbe	Parazitni efekti kod CMOS invertora (parazitne diode, latch-up - simulacije u LT SPice-u)			
V nedjelja, pred.	DC prenosna karakteristika bilateralnog CMOS prekidača			
V nedjelja, vježbe	DC prenosna karakteristika bilateralnog CMOS prekidača (simulacije u LT Spice-u)			
VI nedjelja, pred.	Parazitni efekti kod bilateralnog CMOS prekidača (charge-injection)			
VI nedjelja, vježbe	Parazitni efekti kod bilateralnog CMOS prekidača (charge-injection - simulacije u LT Spice-u)			
VII nedjelja, pred.	Pregled silicijumske poluprovodničke tehnologije (wafer, epitaksijalni rast, oksidacija, litografija, difuzija, jonska implantacija, metalizacija)			
VII nedjelja, vježbe	Pregled silicijumske poluprovodničke tehnologije (wafer, epitaksijalni rast, oksidacija, litografija, difuzija, jonska implantacija, metalizacija)			
VIII nedjelja, pred.	Kolokvijum			
VIII nedjelja, vježbe	Kolokvijum			
IX nedjelja, pred.	Realizacija pasivnih komponenti (otpornika, kondenzatora, kalemova) na čipu			
IX nedjelja, vježbe	Realizacija pasivnih komponenti (otpornika, kondenzatora, kalemova) na čipu			
X nedjelja, pred.	Parazitne otpornosti, kapacitivnosti i induktivnosti na čipu, raspodijeljeni RC parametri			
X nedjelja, vježbe	Parazitne otpornosti, kapacitivnosti i induktivnosti na čipu, raspodijeljeni RC parametri (simulacije u LT SPice-u)			
XI nedjelja, pred.	Dinamičke karakteristike CMOS invertora (rise time, fall time, delay time, procjena frekventnog			

	opsega na bazi rise/fall time-a)					
XI nedjelja, vježbe	Dinamičke karakteristike CMOS invertora (rise time, fall time, delay time, procjena frekventnog opsega na bazi rise/fall time-a - simulacije u LT Spice-u)					
XII nedjelja, pred.	Pobuđivanje velike kapacitivnosti na izlazu CMOS invertora					
XII nedjelja, vježbe	Pobuđivanje velike kapacitivnosti na izlazu CMOS invertora (simulacije u LT Spice-u)					
XIII nedjelja, pred.	Disipacija snage CMOS invertora (uslijed punjenja i pražnjenja parazitnih kondenzatora i uslijed provođenja od VDD do gnd)					
XIII nedjelja, vježbe	Disipacija snage CMOS invertora (uslijed punjenja i pražnjenja parazitnih kondenzatora i uslijed provođenja od VDD do gnd - simulacije u LT SPice-u)					
XIV nedjelja, pred.	Ekvivalentiranje proizvoljnog CMOS kombinacionog kola jednim CMOS invertorom					
XIV nedjelja, vježbe	Ekvivalentiranje proizvoljnog CMOS kombinacionog kola jednim CMOS invertorom (simulacije u LT Spice-u)					
XV nedjelja, pred.	Tro-statička CMOS kola, CMOS domino kola, CMOS prenosna logika, master-slave D flip-flop					
XV nedjelja, vježbe	CMOS domino kola (simulacije u LT Spice-u)					
Opterećenje studenta	Nedjeljno 5 kredita x 40/30 = 6 sati i 40 minuta Struktura: 3 sata predavanja 1 sat računskih vježbi 2 sata i 40 minuta samostalnog rada, uključujući konsultacije U toku semestra Nastava i završni ispit: (6 sati i 40 minuta) x 16 = 106 sati i 40 minuta Neophodne pripreme prije početka semestra (administracija, upis, ovjera): 2 x (6 sati i 40 minuta) = 13 sati i 20 minuta Ukupno opterećenje za predmet: 5 x 30 = 150 sati Dopunski rad za pripremu ispita u popravnom ispitnom roku, uključujući i polaganje popravnog ispita od 0 do 36 sati (preostalo vrijeme od prve dvije stavke do ukupnog opterećenja za predmet 180 sati): Struktura opterećenja: 106 sati i 40 minuta (Nastava) + 13 sati i 20 minuta (Priprema) + 30 sati (Dopunski rad)					
Nedjeljno			U toku semestra			
5 kredita x 40/30=6 sati i 40 minuta 3 sat(a) teorijskog predavanja 0 sat(a) praktičnog predavanja 1 vježbi 2 sat(a) i 40 minuta samostalnog rada, uključujući i konsultacije			Nastava i završni ispit: 6 sati i 40 minuta x 16 =106 sati i 40 minuta Neophodna priprema prije početka semestra (administracija, upis, ovjera): 6 sati i 40 minuta x 2 =13 sati i 20 minuta Ukupno opterećenje za predmet: 5 x 30=150 sati Dopunski rad za pripremu ispita u popravnom ispitnom roku, uključujući i polaganje popravnog ispita od 0 do 30 sati (preostalo vrijeme od prve dvije stavke do ukupnog opterećenja za predmet) 30 sati i 0 minuta Struktura opterećenja: 106 sati i 40 minuta (nastava), 13 sati i 20 minuta (priprema), 30 sati i 0 minuta (dopunski rad)			
Obaveze studenta u toku nastave			Redovno prisustvo predavanjima i vježbama			
Konsultacije			Nakon predavanja, ili u dogovoru sa studentima			
Literatura						
Oblici provjere znanja i ocjenjivanje			Kolokvijum: 50 poena (pismeni dio: 40 poena, rad na simulatoru: 10 poena) Završni ispit: 50 poena (pismeni dio: 40 poena, rad na simulatoru: 10 poena)			
Posebne naznake za predmet						
Napomena						
Ocjena:	F	E	D	C	B	A
Broj poena	manje od 50 poena	više ili jednako 50 poena i manje od 60 poena	više ili jednako 60 poena i manje od 70 poena	više ili jednako 70 poena i manje od 80 poena	više ili jednako 80 poena i manje od 90 poena	više ili jednako 90 poena