

Tipovi MIPS naredbi i šematski prikaz formata njihovog zapisivanja u računaru

Aritmetičko-logičke naredbe – add, sub, mult, slt, sll, srl...

Sintaksa: add \$x,\$y,\$z

Format zapisivanja: R-tip

Šematski prikaz:

Polje:	op	rs	rt	rd	shamt	funct
Br. bitova:	6	5	5	5	5	6
Sadržaj:	0	y	z	x	n<31	32,34, ...

Data-transfer naredbe – lw, sw

Sintaksa: lw (sw) \$x,Astart(\$y)

Format zapisivanja: I-tip

Šematski prikaz:

Polje:	op	rs	rt	address
Br. bitova:	6	5	5	16
Sadržaj:	35, 43	y	x	Astart

Immediate naredbe addi, muli, ...

Sintaksa: addi \$x,\$y,C

Format zapisivanja: I-tip

Šematski prikaz:

Polje:	op	rs	rt	immediate
Br. bitova:	6	5	5	16
Sadržaj:	8	y	x	C

Branch naredbe – beq, bne

Sintaksa: beq (bne) \$x,\$y,offset

Format zapisivanja: I-tip

Šematski prikaz:

Polje:	op	rs	rt	immediate
Br. bitova:	6	5	5	16
Sadržaj:	4, 5	x	y	offset

Naredbe bezuslovnog skoka – j, jal

Sintaksa: j address

Format zapisivanja: J-tip

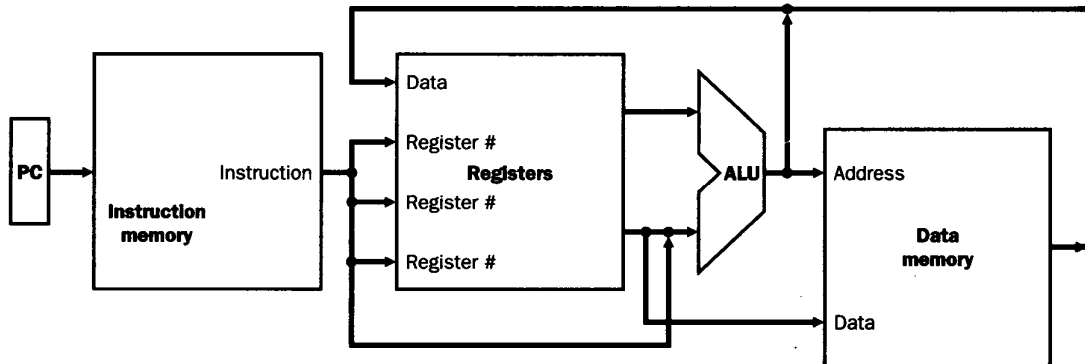
Šematski prikaz:

Naziv:	op	address
Br. bitova:	6	26
Sadržaj:	2, 3	address

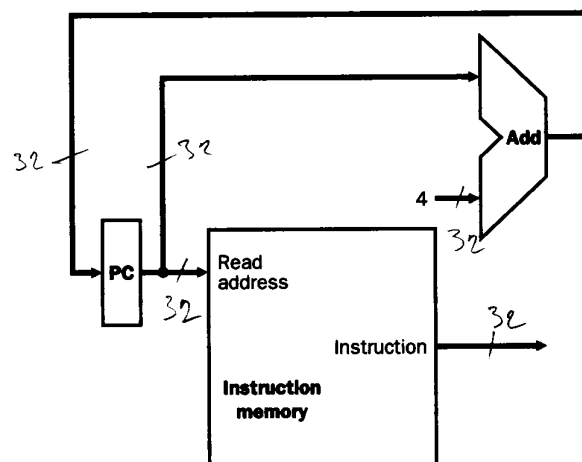
Neophodni koraci koje treba izvršiti u cilju implementacije MIPS naredbi

Korak	Data-transfer naredbe (lw, sw) – I tip	Aritmetičko-Log. naredbe (R-tip)	Branch naredbe (beq) – I tip	Bezuslovni skok (j) – J tip
I	<p><i>Akcija:</i> Uzimanje naredbe iz memorije i njeno donošenje u proces izvršavanja ($IR \leftarrow Mem[PC]$) <i>Paralelna akcija:</i> Inkrementiranje sadržaja PC-a ($PC \leftarrow PC+4$)</p>			
II	<p><i>Akcija:</i> Dekodiranje naredbe – čitanje sadržaja registara označenim poljima op, rs, rt, shamt, funct, address, offset, ... (nepotrebno postavljati kontrolne signale, pošto čitanje memorijskih elemenata, sa izuzetkom memorije računara, nije potrebno kontrolisati, već se kontroliše samo njihovo upisivanje) <i>Paralelna akcija:</i> Izračunavanje ciljne adrese grananja ($Target \leftarrow (PC+4) + sign_extend(offset) \ll 2$)</p>			
III	Upotreba ALU za izračunavanje operacije zadate naredbom i generisanje izlaza ALU (ALUOut, Zero, Overflow)			
	$ALUOut \leftarrow \leftarrow rs + sign_extend(address)$	$ALUOut \leftarrow rs \ op \ rt$ (op – operacija zahtijevana naredbom)	$PC \leftarrow Target$ samo ukoliko je $rs=rt$ (Zero=1)	$PC \leftarrow (PC[28-31] + address) \ll 2$
IV	Upotreba rezultata ALU u cilju kompletiranja naredbe			
	lw čitanje $Mem[ALUOut]$	sw $Mem[ALUOut]$ $\leftarrow rt$	$rd \leftarrow ALUOut$	
V	$rt \leftarrow Mem[ALUOut]$			

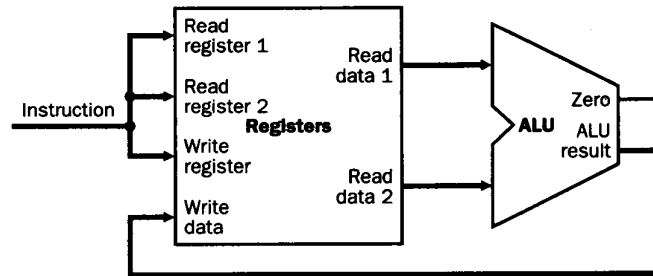
Sažeti pogled na MIPS implementaciju različitih tipova naredbi



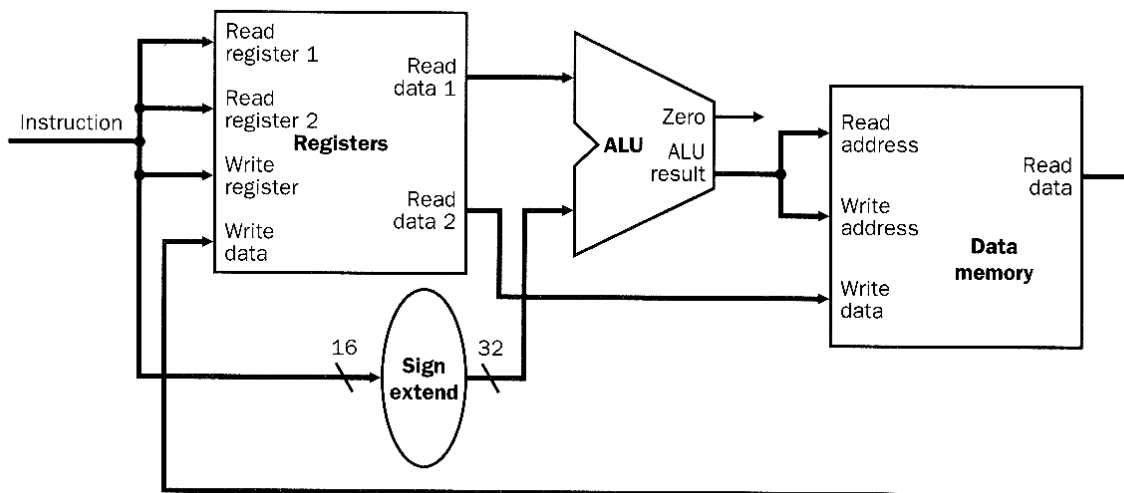
Dio datapatha namijenjen donošenju naredbe i inkrementiranju sadržaja PC registra



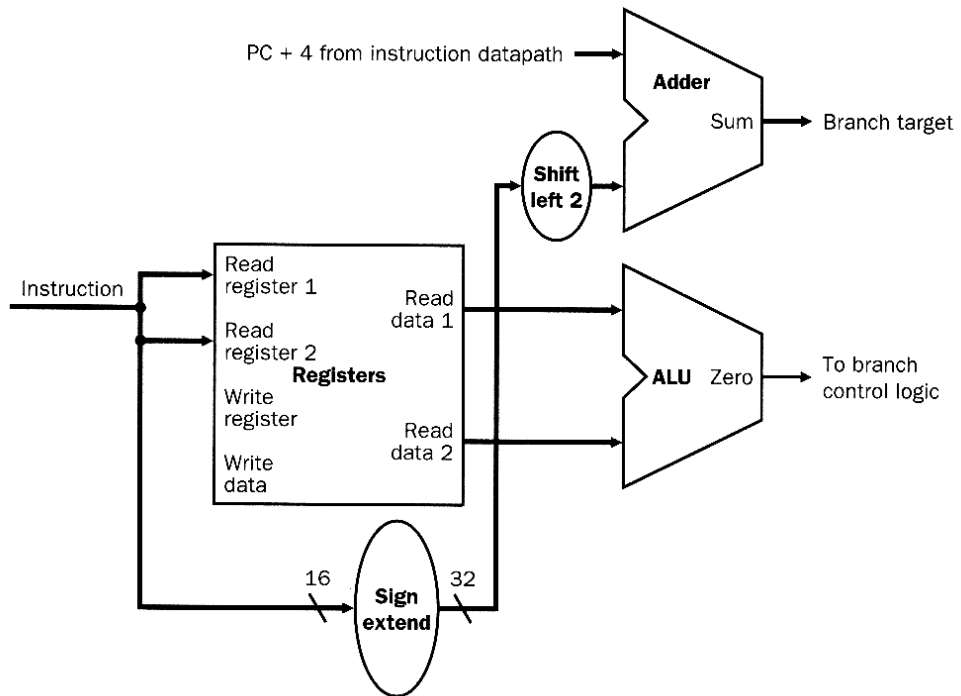
Dio datapatha namijenjen kreiranju naredbi R-tipa



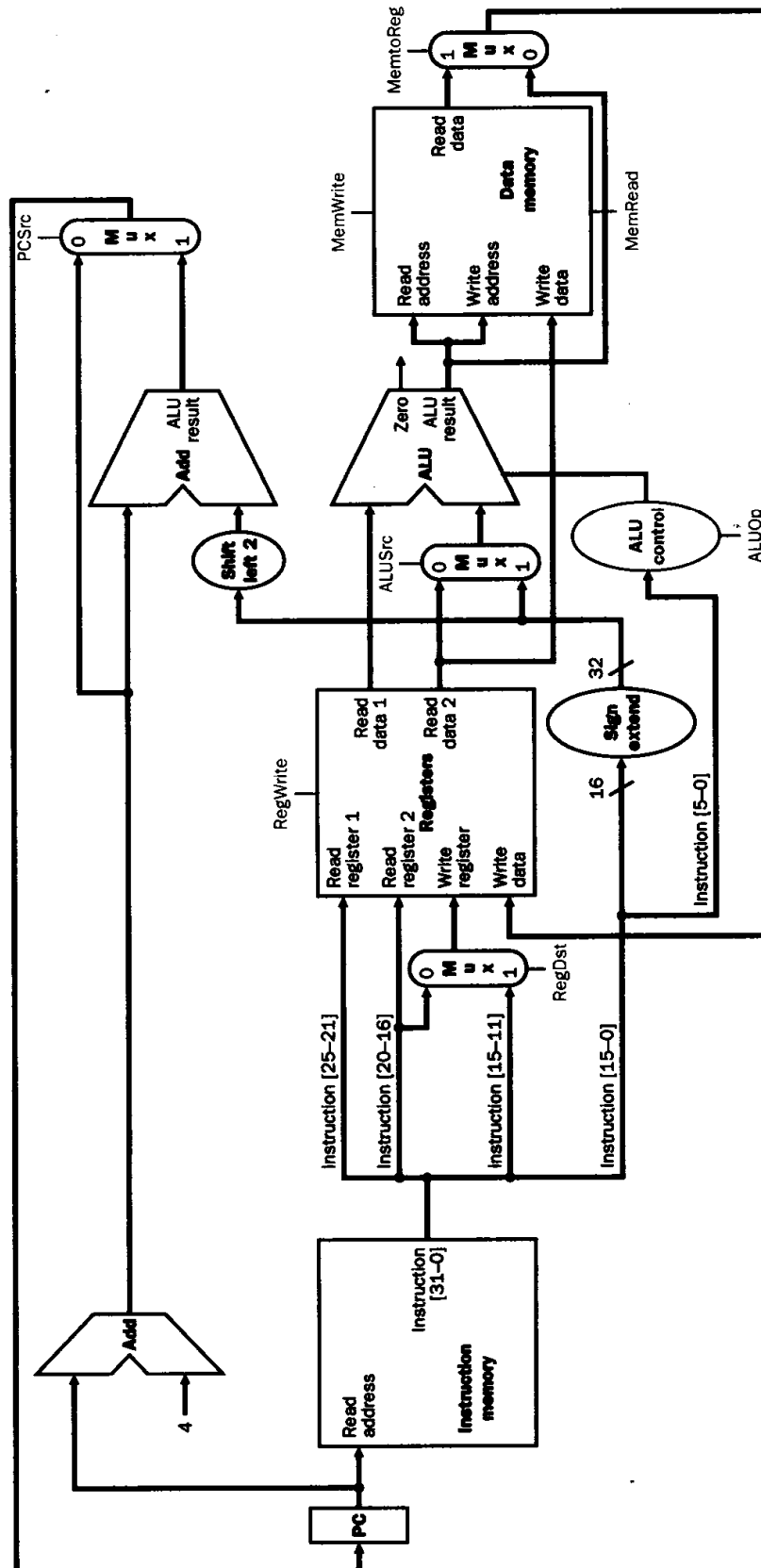
Dio datapatha namijenjen kreiranju memory-reference naredbi (lw i sw naredbe)



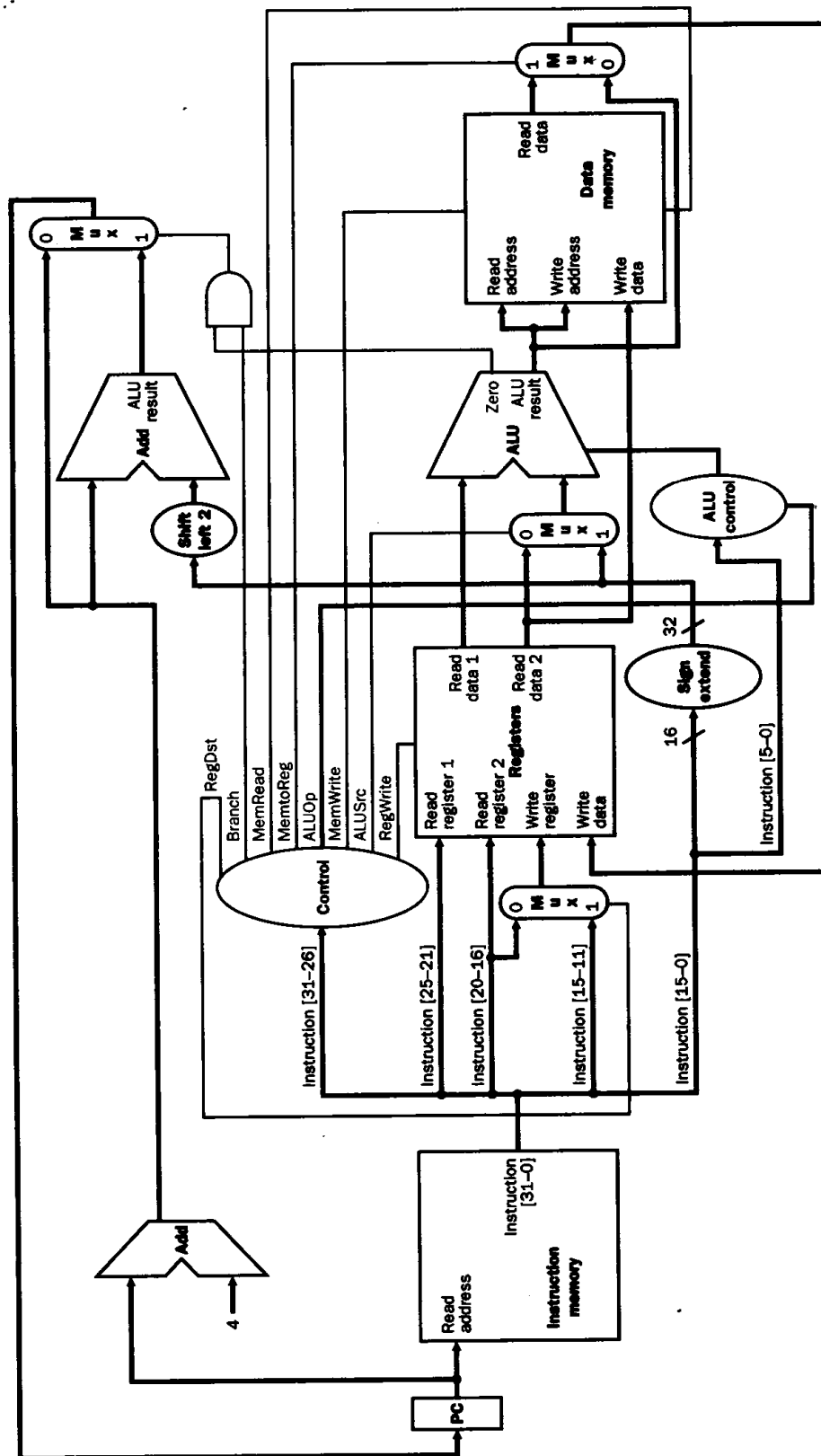
Dio datapatha namijenjen kreiranju beq naredbe



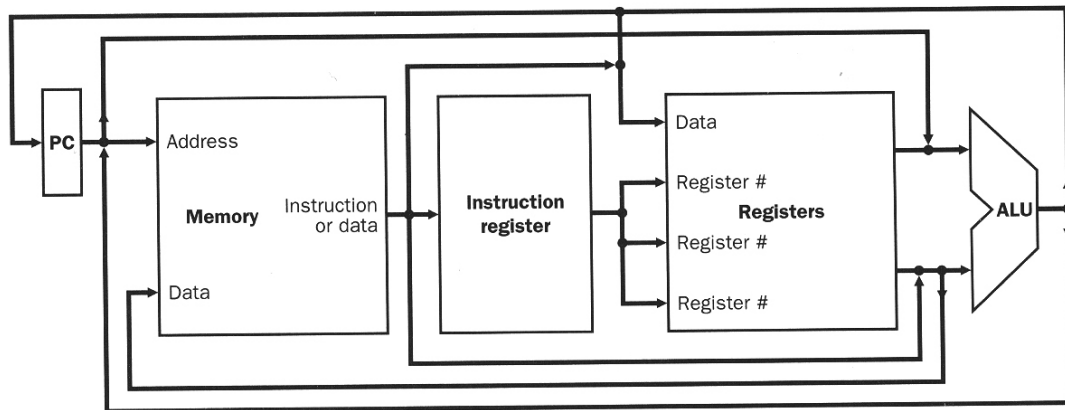
Jednostavni datapath, sastavljen od djelova neophodnih za kreiranje različitih oblika naredbi, sa predstavljanim kontrolnim signalima



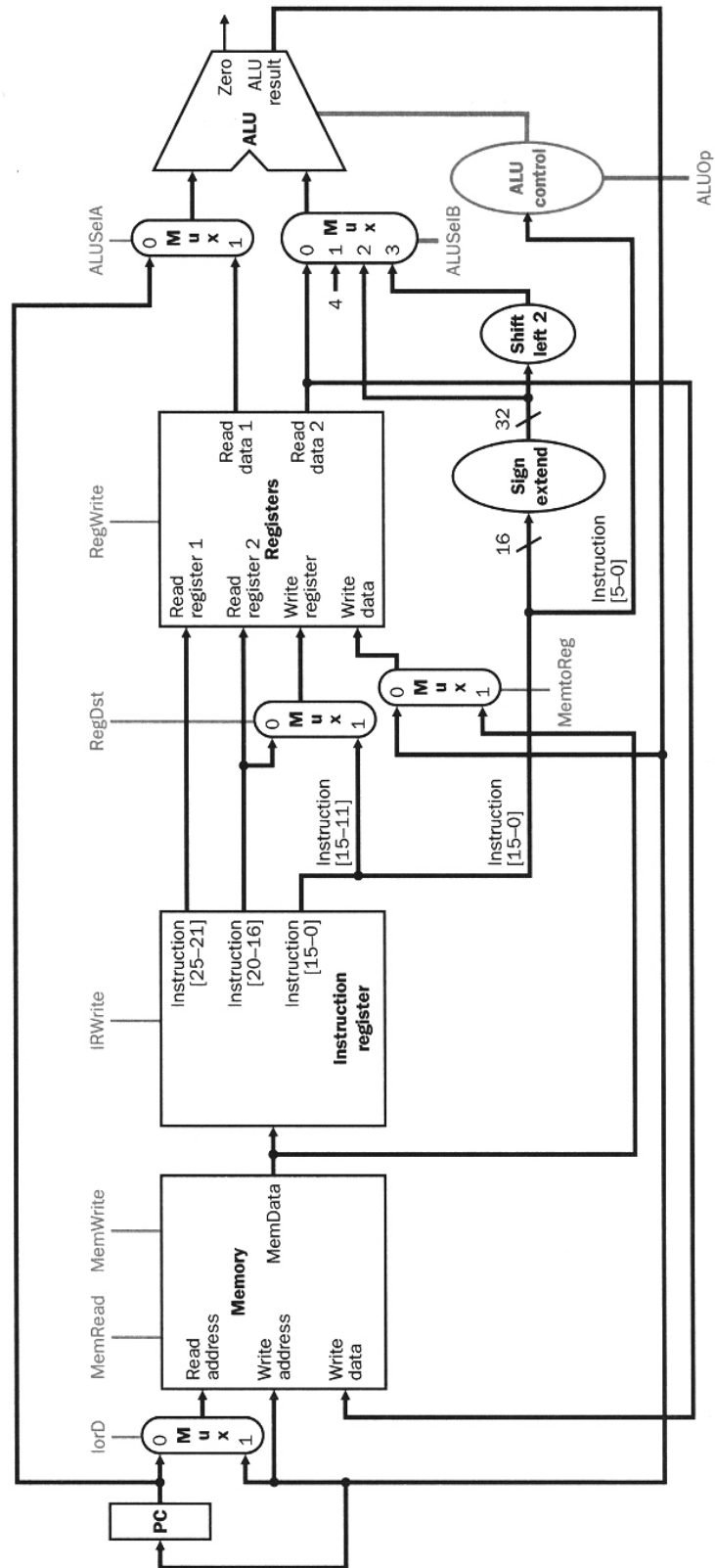
Jednostavni datapath zajedno sa glavnom kontrolnom jedinicom i svim kontrolnim signalima u sistemu



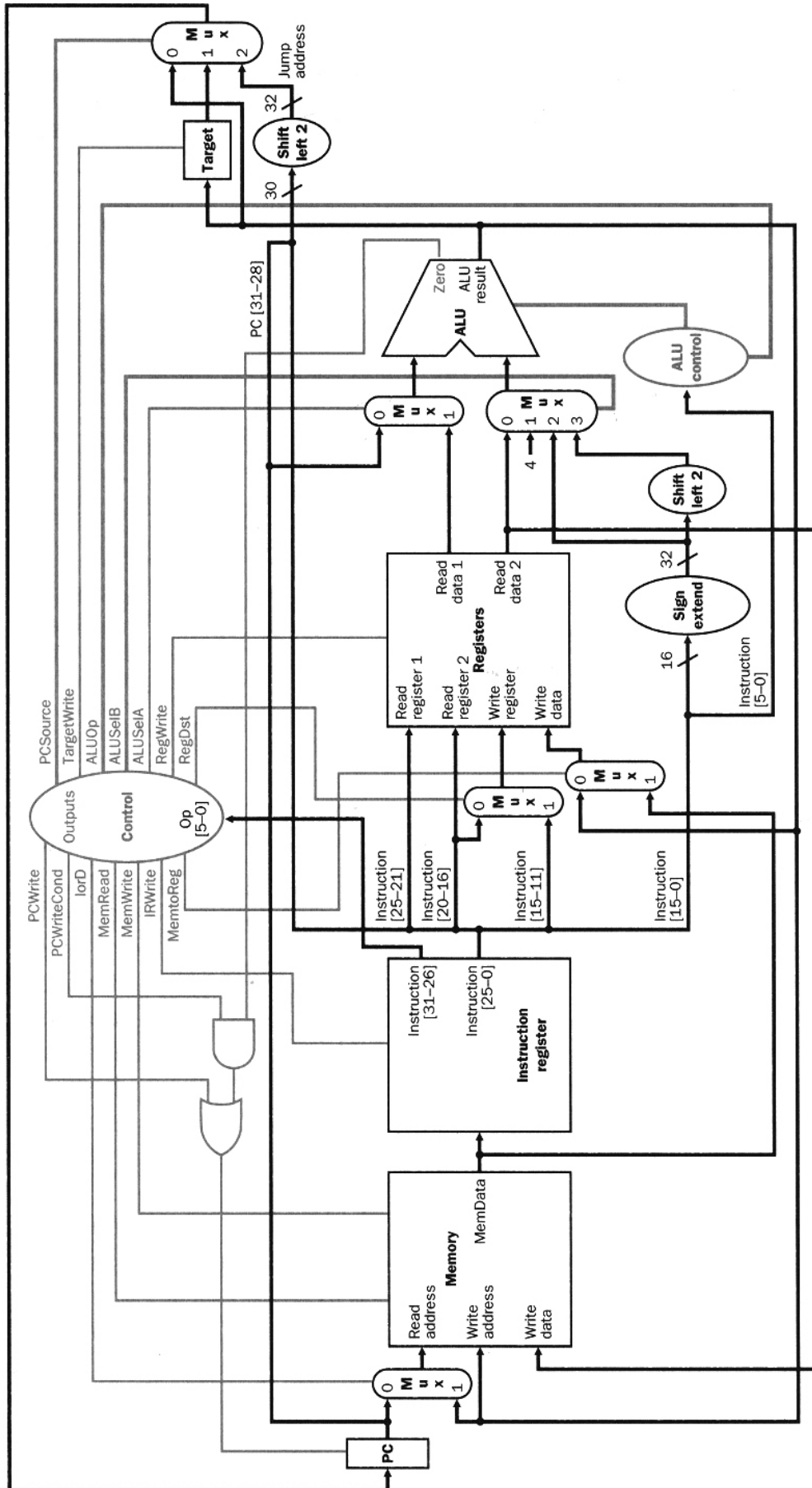
Sažeti prikaz datapath-a kreiranog za multi-clock izvršavanje naredbi



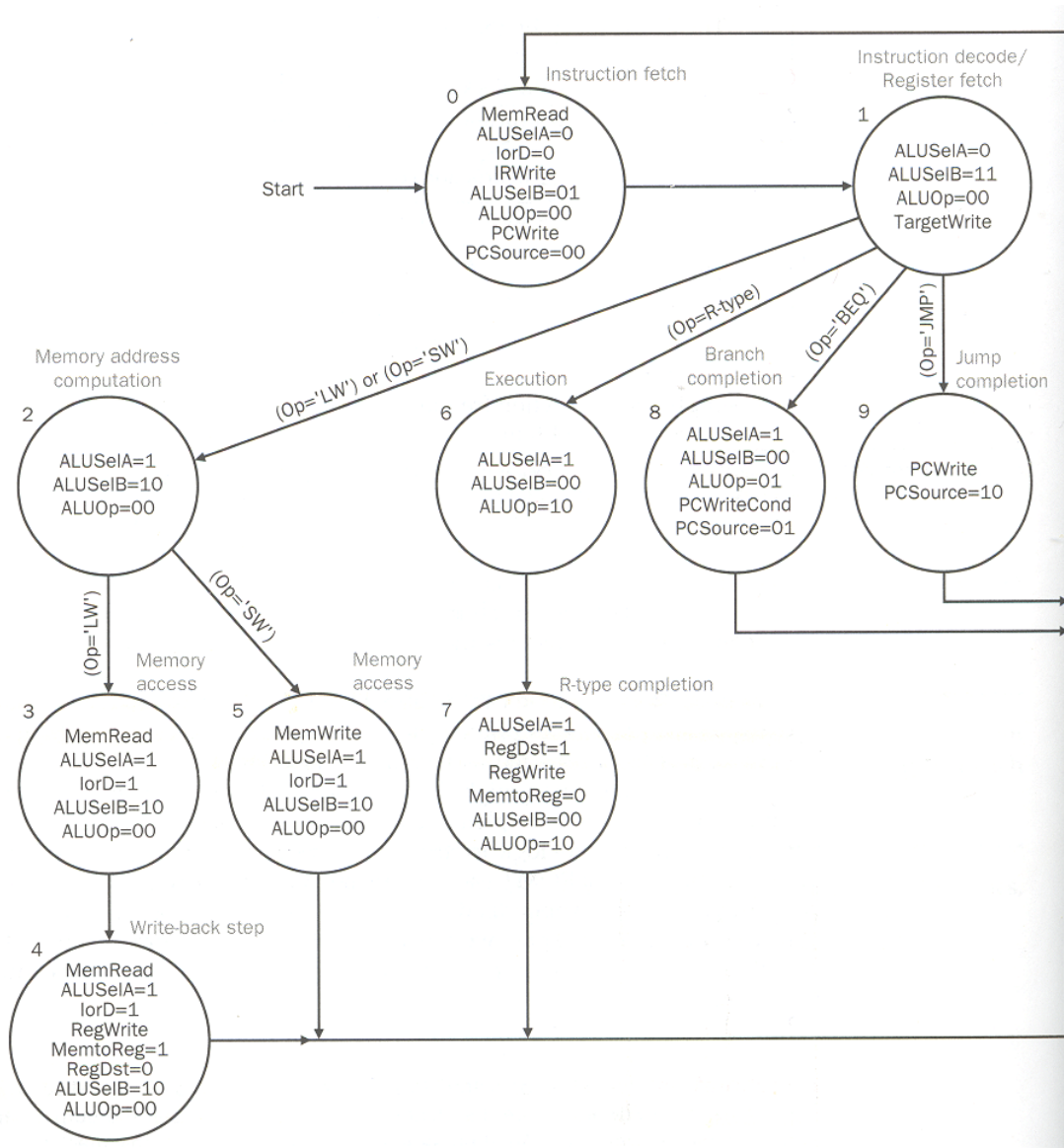
Detaljni prikaz datapath-a za multi-clock implementaciju sa naznačenim kontrolnim signalima pojedinih memorijskih jedinica i multipleksora



Kompletni dizajn za multi-clock implementaciju



Stanja potrebna za izvršavanje naredbi u više clock intervala realizacijom kontrolne jedinice u obliku Moore-ovog tipa sekvencijalnog kola



Kontrolna jedinica kod multi-clock implementacije datapatha

