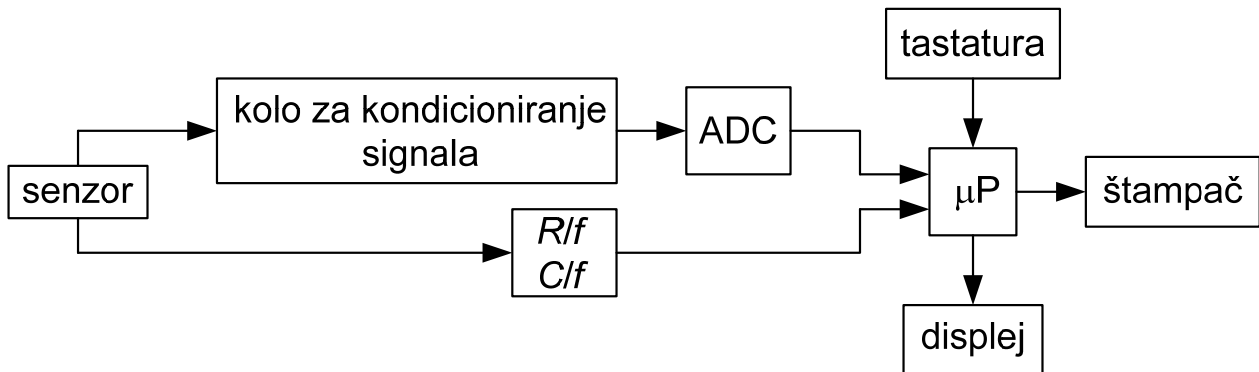


## 1. Uvod

- Blok-šema elektronskog (mikroprocesorskog) mjernog instrumenta opšteg tipa:



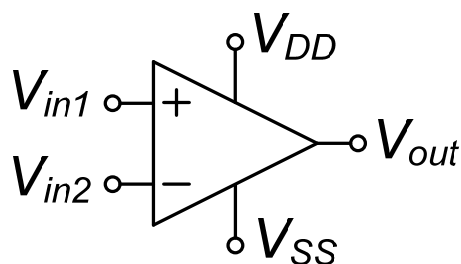
## 2. Osnovni gradivni elementi digitalno-analognih i analogno-digitalnih konvertora

### 2.1 Analogni naponski komparator

- Analogni naponski komparator upoređuje vrijednosti napona  $V_{in1}$  i  $V_{in2}$  na svojim ulaznim priključcima, slika 2.1. Matematički model analognog naponskog komparatora određuje vrijednost izlaznog napona  $V_{out}$  u funkciji međusobnog odnosa ulaznih napona  $V_{in1}$  i  $V_{in2}$ , i dat je sljedećim izrazom:

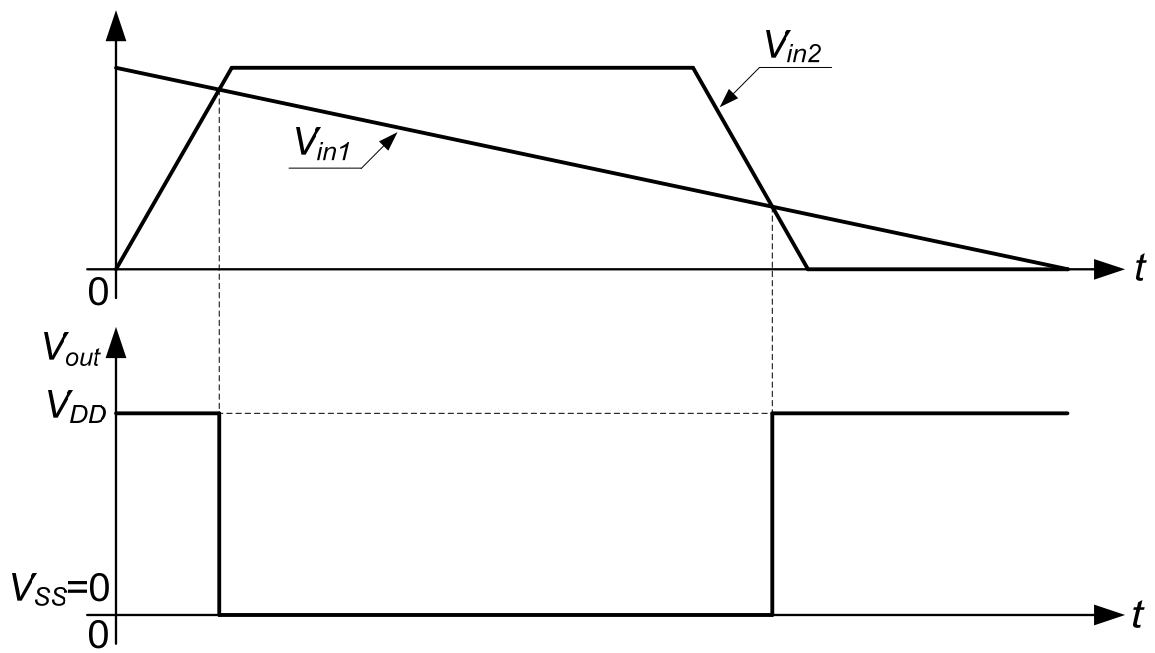
$$V_{out} = \begin{cases} V_{DD}, & V_{in1} > V_{in2} \\ V_{SS}, & V_{in1} < V_{in2} \end{cases}, \quad (2.1)$$

gdje je  $V_{SS}$  negativni napon napajanja komparatora, a  $V_{DD}$  je pozitivni napon napajanja komparatora.

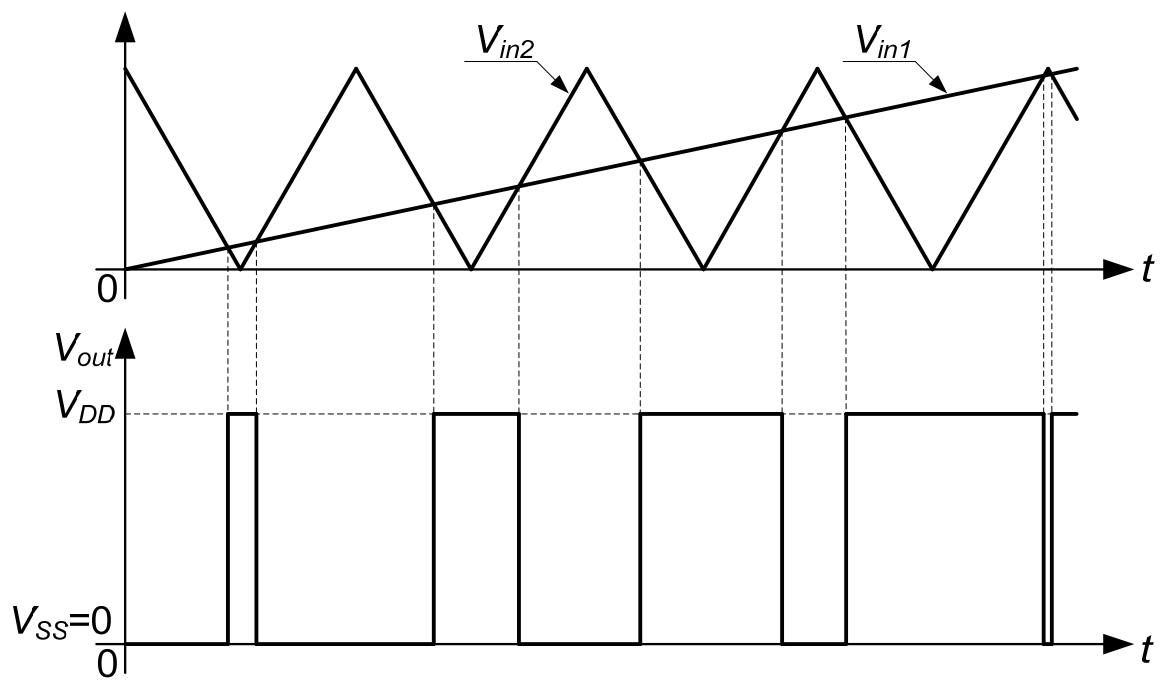


Slika. 2.1. Analogni naponski komparator.

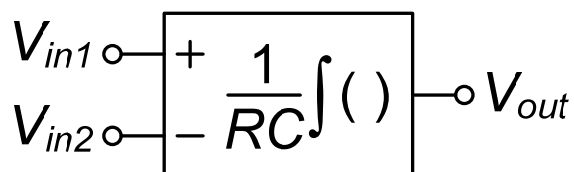
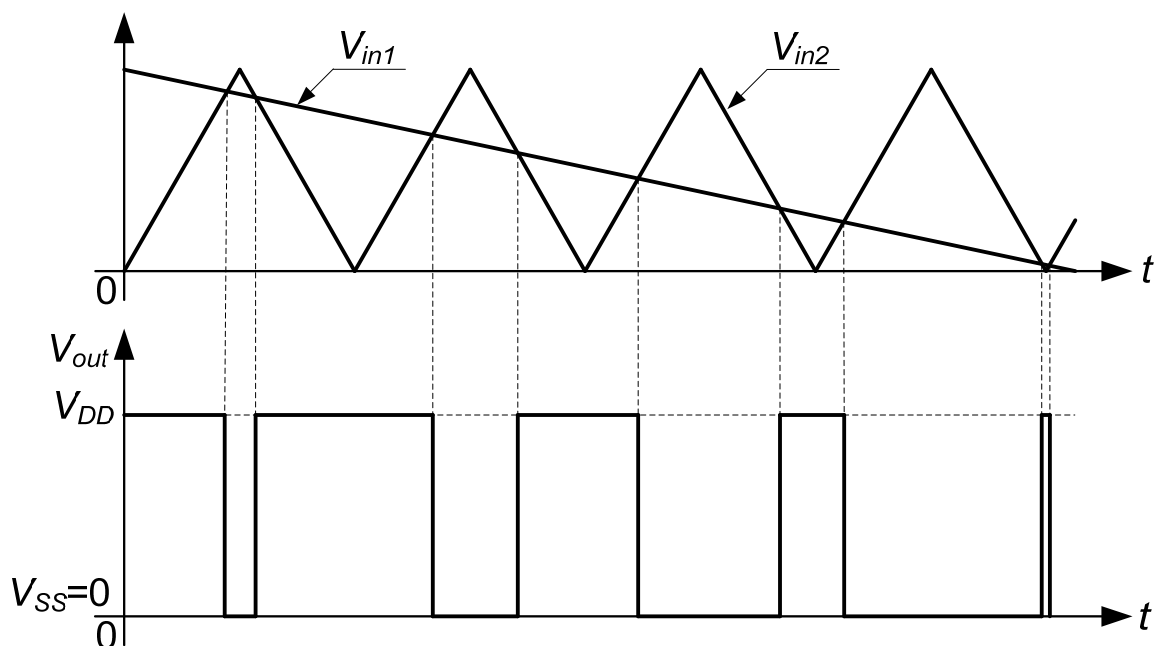
Primjer:



Primjer:



Primjer:



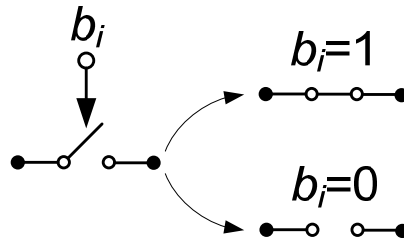
Slika 2.2. Analogni naponski integrator.

## 2.2 Analogni naponski integrator

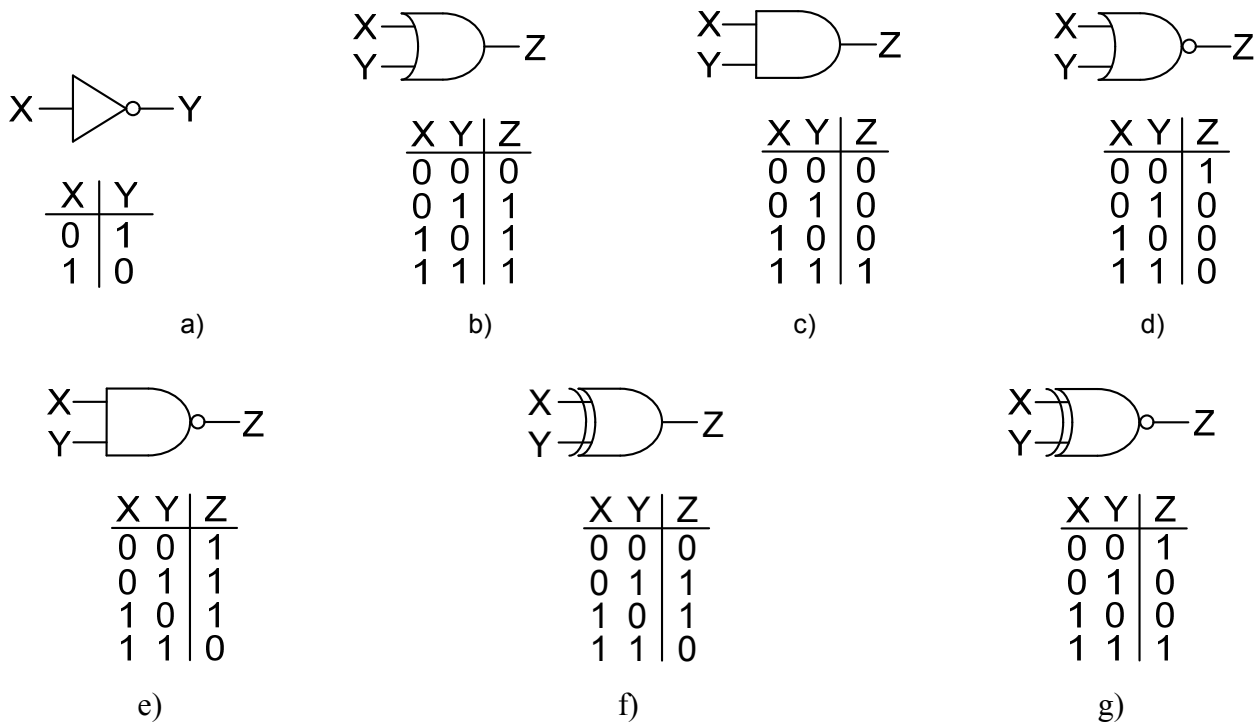
- Analogni naponski integrator obavlja matematičku operaciju integraljenja u vremenskom domenu, slika 2.2. Matematički model analognog naponskog integratora određuje vrijednost izlaznog napona  $V_{out}$  u funkciji razlike ulaznih napona  $V_{in1}$  i  $V_{in2}$ , i dat je sljedećim izrazom:

$$V_{out} = -\frac{1}{RC} \int (V_{in1} - V_{in2}) dt, \quad (2.2)$$

gdje je  $R$  otpornost otpornika koji predstavlja sastavni dio analognog naponskog integratora, a  $C$  je kapacitivnost kondenzatora koji predstavlja sastavni dio analognog naponskog integratora.



Slika 2.3. Princip funkcionisanja bilateralnog CMOS prekidača.



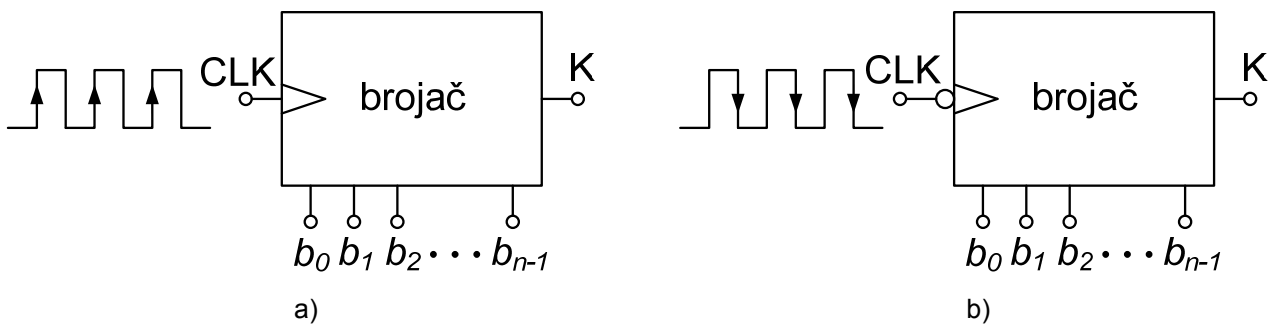
Slika 2.4. Digitalna kola za realizaciju osnovnih logičkih operacija: a) invertor, b) ILI kolo, c) I kolo, d) NILI kolo, e) NI kolo, f) EX-ILI kolo, g) EX-NILI kolo.

### 2.3 Bilateralni CMOS prekidač

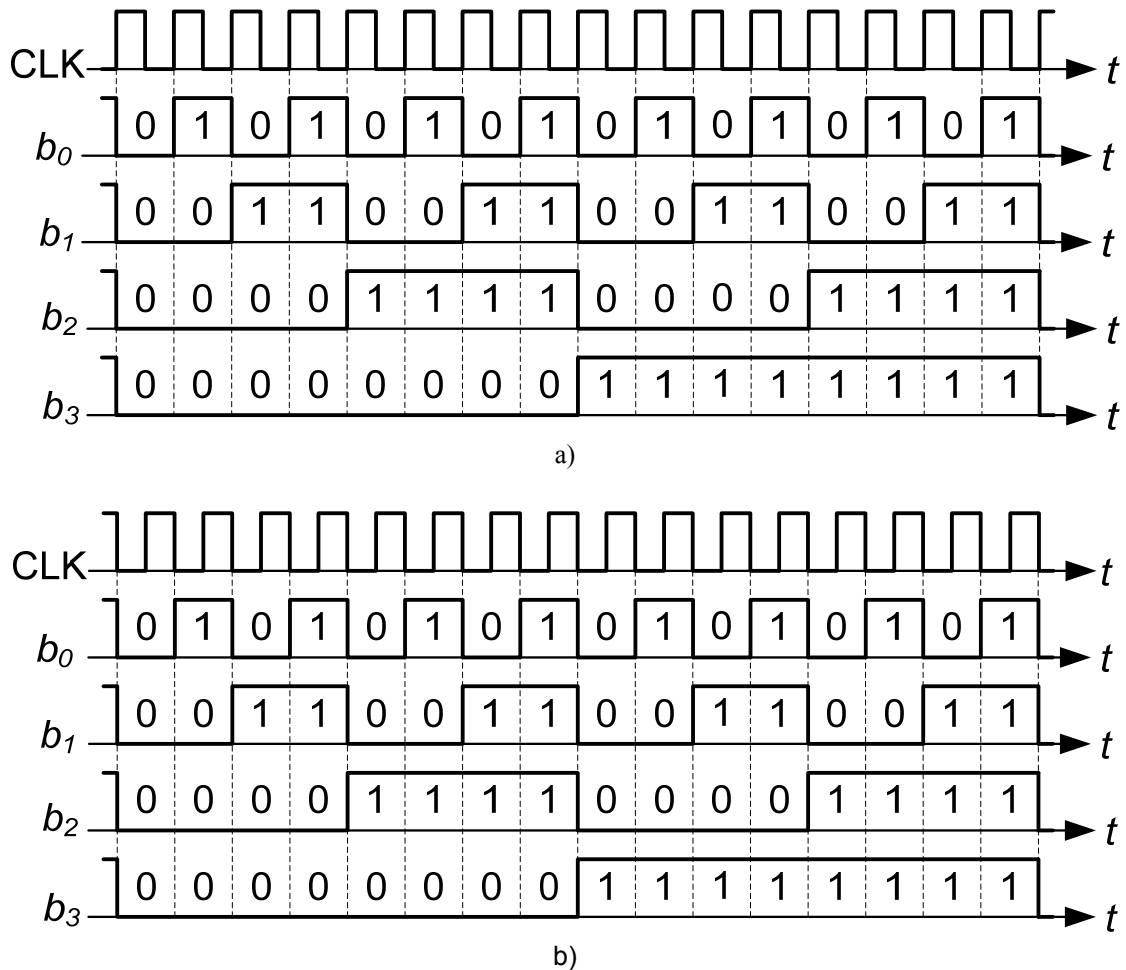
- Princip funkcionisanja bilateralnog CMOS prekidača prikazan je na slici 2.3. Kada je kontrolni napon  $b_i$  na visokom logičkom nivou ( $b_i=1$ ), bilateralni CMOS prekidač predstavlja kratak spoj, i omogućava dvosmjerni tok signala. Kada je kontrolni napon  $b_i$  na niskom logičkom nivou ( $b_i=0$ ), bilateralni CMOS prekidač predstavlja prekid u kolu.

### 2.4 Digitalna kola za realizaciju osnovnih logičkih operacija

- Logičko invertovanje (NE kolo), slika 2.4a).
- Logičko sabiranje (ILI kolo), slika 2.4b).
- Logičko množenje (I kolo), slika 2.4c).
- Invertovanje logičkog sabiranja (NILI kolo), slika 2.4d).
- Invertovano logičko množenja (NI kolo), slika 2.4e).
- Ekskluzivno logičko sabiranje (EX-ILI kolo) 2.4f).
- Invertovano ekskluzivno logičko sabiranje (EX-NILI kolo) 2.4g).



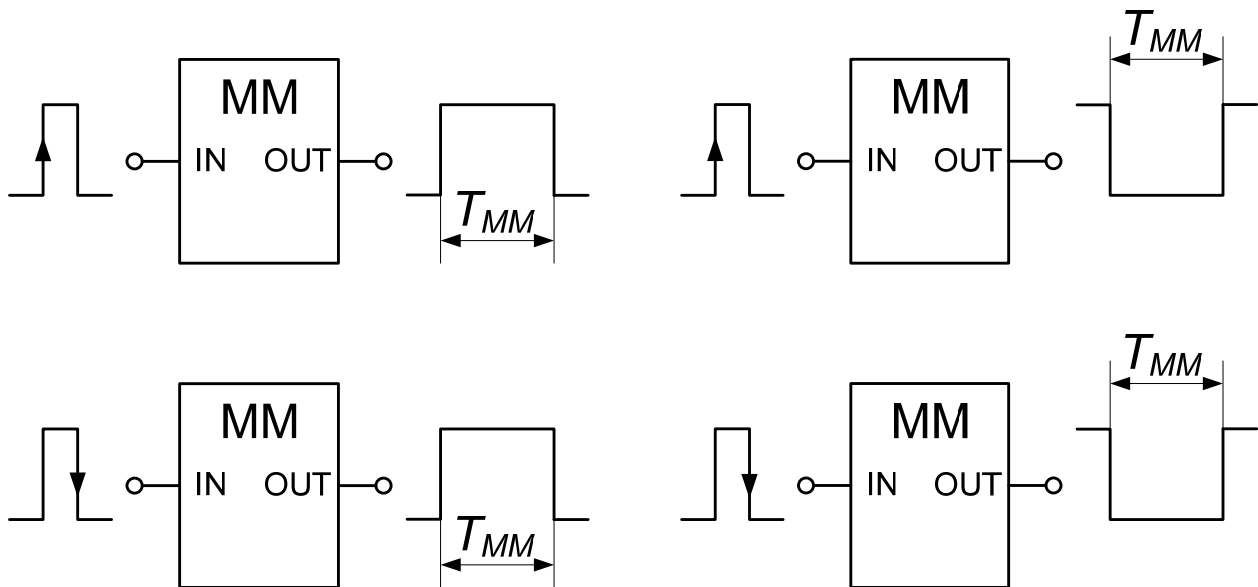
Slika 2.5. Brojač sa okidanjem na: a) rastućoj ivici takt impulsa, b) na opadajućoj ivici takt impulsa.



Slika 2.6. Vremenski dijagram stanja na izlazu 4-bitnog brojača sa okidanjem na: a) rastućoj ivici takt impulsa, b) opadajućoj ivici takt impulsa.

## 2.5 Digitalni brojači

- Brojač je digitalno kolo koje broji impulse koji se dovode na njegov ulaz, slika 2.5. Dovođenjem svakog novog impulsa na ulaz brojača mijenjaju se binarna stanja brojača na izlazu  $b_0, b_1, b_2, \dots, b_{n-1}$ . Promjena stanja na izlazu brojača zavisi od rednog broja impulsa, kao i od prethodnog stanja na izlazu brojača. Brojači mogu da broje u različitim kodovima, a najviše se koristi prirodni kod brojanja (8421 kod).
- Postoje brojači koji se mogu podesiti da broje kako unaprijed, tako i unazad (obostrani brojači). Npr., za  $K=1$ , brojač će brojati unaprijed, a za  $K=0$  brojač će brojati unazad.

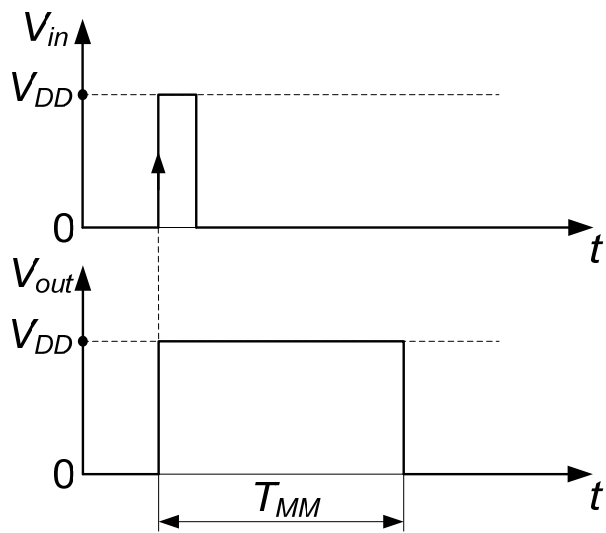


Slika 2.7. Monostabilni multivibrator sa mogućim varijantama okidanja na rastuću i opadajuću ivicu signala na ulazu, kao i generisanja signala na nivou logičke jedinice ili logičke nule tokom trajanja kvazistabilnog stanja.

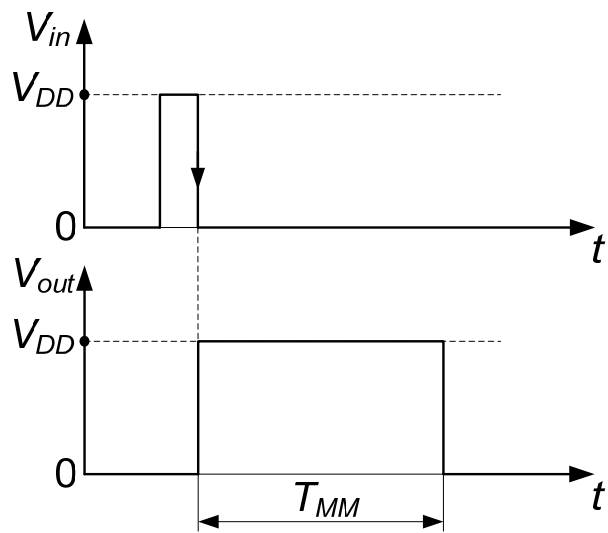
- Brojač sa  $n$ -bita ( $b_0, b_1, b_2, \dots, b_{n-1}$ ) može da generiše  $2^n$  stanja. Ako  $n$ -bitni brojač broji u prirodnom kodu, brojaće od 0 do  $2^n-1$  (u slučaju brojanja unaprijed), odnosno, od  $2^n-1$  do 0 (u slučaju brojanja unazad).
- Promjena stanja brojača na izlazu  $b_0, b_1, b_2, \dots, b_{n-1}$  može da se desi sa nailaskom rastuće ivice signala kojim se taktuje brojač (slika 2.6a)), ili sa nailaskom opadajuće ivice signala kojim se taktuje brojač (slika 2.6b)).

## 2.6 Monostabilni multivibratori

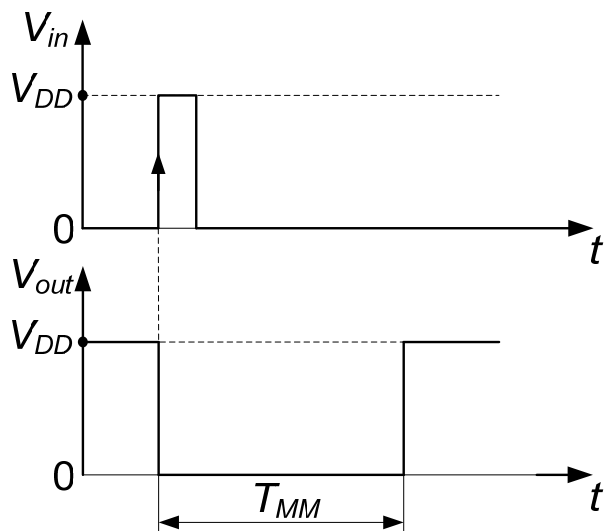
- Monostabilni multivibrator je elektronsko kolo koje na svom izlazu generiše impuls tačno određenog trajanja  $T_{MM}$  nakon pojave pobude na njegovom ulazu, slika 2.7. Ova pojava na ulazu monostabilnog multivibratora može biti u obliku rastuće ili opadajuće ivice signala.
- Prije nailaska pobude na ulazu, monostabilni multivibrator nalazi se u stabilnom stanju. Nakon nailaska pobude na ulazu, monostabilni multivibrator prelazi u kvazi-stabilno stanje koje traje tačno određeno vrijeme  $T_{MM}$ . Tokom trajanja kvazistabilnog stanja  $T_{MM}$  na izlazu monostabilnog multivibratora generiše se logičko stanje koje predstavlja invertovani izlaz monostabilnog multivibratora tokom trajanja stabilnog stanja.
- Vremenski dijagrami monostabilnog multivibratora sa pobudama na rastućoj i opadajućoj ivici ulaznog signala, i sa kvazistabilnim stanjem na izlazu na nivou logičke jedinice i logičke nule prikazani su na slici 2.8.



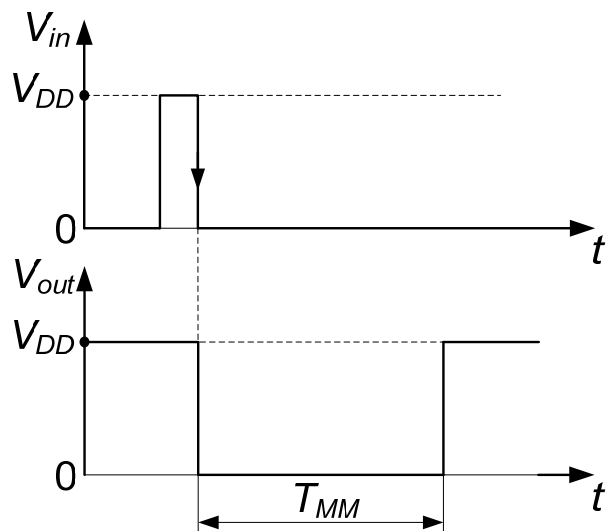
a)



b)



c)



d)

Slika 2.8. Vremenski dijagrami monostabilnog multivibratora: a) okidanje na rastućoj ivici ulaznog signala, sa kvazistabilnim stanjem na nivou logičke jedinice na izlazu, b) okidanje na opadajućoj ivici ulaznog signala, sa kvazistabilnim stanjem na nivou logičke jedinice na izlazu, c) okidanje na rastućoj ivici ulaznog signala, sa kvazistabilnim stanjem na nivou logičke nule na izlazu, d) okidanje na opadajućoj ivici ulaznog signala, sa kvazistabilnim stanjem na nivou logičke nule na izlazu,