

UNIVERZITET CRNE GORE ELEKTROTEHNIČKI FAKULTET



STUDIJSKI PROGRAM:	ELEKTRONIKA,TELEKOMUNIKACIJE I RAČUNARI
PREDMET:	PROJEKTOVANJE DIGITALNIH SISTEMA
FOND ČASOVA:	3 + 0 + 1

LABORATORIJSKA VJEŽBA

NAZIV:	REALIZACIJA BINARNOG BROJAČA
CILJEVI VJEŽBE	:
 praktičan rad okruženjem, povezivanje t upoznavanje programiranj 	sa SPARTAN 3E Starter kit razvojnom platformom i Xilinx ISE razvojnim teorijske osnove (predavanja) sa praktičnom realizacijom, sa <i>behavioral</i> modelovanjem, e PROM-a na Spartan 3E Starter kit platformi.
POTREBAN PRIB	OR:
- pribor za pisa	anje.
IME I PREZIME:	·

BROJ INDEKSA: _____.

BROJ POENA:
OVJERAVA:
DATUM:

1. APARATURA

Na raspolaganju su sljedeći uređaji i oprema:

- SPARTAN 3E Starter Kit razvojna platforma,
- računar,
- napajanje,
- USB kabal,
- Xilinx ISE Design Suite v.14.7 razvojno okruženje.



Slika 1.1: Izgled SPARTAN 3E Starter Kit razvojne platforme

2. TEORIJSKA OSNOVA LABORATORIJSKE VJEŽBE

Brojači su sekvencijalna digitalna kola, bazirana na flip-flopovima kao memorijskim elementima. Mogu se smatrati specijalnim tipom registra koji ima ugrađenu logiku za inkrementiranje odnosno dekrementiranje. Dovođenjem odgovarajućih kontrolnih signala na ulaze, brojaču se omogućava prolaz kroz unaprijed definisanu sekvencu stanja. Ulazni signali koji pobuđuju prelaz u naredno stanje mogu biti periodični impulsi (takt) ili impulsi koji se javljaju u proizvoljnim vremenskim trenucima. Sekvenca stanja kroz koja se brojač kreće može da slijedi prirodnu brojnu sekvencu, ili bilo koju drugu brojnu sekvencu. Brojač koji slijedi prirodnu brojnu sekvencu i sastoji se od N flip-flopova, može da broji od 0 do 2^{N} -1.

Brojači koji imaju mogućnost prolaska kroz dvije različite sekvence brojanja nazivaju se dvosmjerni (*Up and Down*) brojači. Ukoliko se radi o prirodnoj sekvenci brojanja može se reći da se broji naviše, odnosno naniže (slika 2.1). Izbor sekvence brojanja vrši se kontrolnim signalom. Brojač koji broji naviše, kada dostigne najvišu vrijednost nastavlja da broji od najniže. Na primjer, kod četvorobitnog brojača će nakon broja 15 nastaviti sa brojem 0. Brojač koji broji naniže, kada dostigne najnižu vrijednost nastavlja da broji od najviše. Na primjer, kod četvorobitnog brojača će nakon broja 15.



Slika 2.1: Četvorobitni dvosmjerni brojač sa prirodnom sekvencom brojanja

2.1 Verilog kod za realizaciju binarnog brojača

```
module brojac(diode, smjer, takt, reset);
output reg [3:0] diode;
input smjer, takt, reset;
reg [25:0] stanje;
always @(posedge takt or negedge reset)
       begin
               if(reset == 1'b0) begin
                       stanje <= 26'b0;</pre>
                       diode <= 4'b0;
               end
               else begin
                       stanje <= stanje + 26'b1;</pre>
                       if(stanje == 26'h2FAF080) begin // ovo je 50.000.000 u hex zapisu
                              stanje <= 26'b0;</pre>
                              if(smjer) diode <= diode + 1'b1;</pre>
                              else diode <= diode - 1'b1;</pre>
                       end
               end
       end
```

endmodule

3. ZADACI LABORATORIJSKE VJEŽBE

Kreiranje dizajna

Pokrenuti ISE Project Navigator i napraviti novi projekat.

- 1. Start→Programs→Xilinx Design Tools→ ISE Design Suite 14.7→ISE Design Tools → Project Navigator
- 2. U dobijenom prozoru treba izabrati **File**→**New Project.** Otvoriće se **New Project Wizard** (slika 3.1).

12	Conception News	Page No.	<u> </u>
🍃 New Project	Wizard	Trappet Desition	
Create New Pro	ect n and type. ons, and comment for the project —		
N <u>a</u> me:	brojac		
Location:	C:\Users\Mico\Documents\X\LABS\	projac	
<u>W</u> orking Directory: <u>D</u> escription:	C:\Users\Mico\Documents\X\LABS\	projac	
Select the type of to Top-level source typ HDL	p-level source for the project		
			1000
More Info			Next Cancel

Slika 3.1: Prozor New Project Wizard

Dati ime novom projektu (npr. **brojac**), a zatim odrediti mjesto na hard disku gdje želite da vaš projekat i njegovi prateći fajlovi budu sačuvani (...)=*Browse*.

3. **<Next>**

Pojaviće se prozor prikazan na slici 3.2.

roject Settings		
pecify device and project properties.		
elect the device and design flow for the p	oject	
Property Name	Value	
Evaluation Development Board	Spartan-3E Starter Board	
Product Category	All	-
Family	Spartan3E	
Device	XC3S500E	3
Package	FG320	
Speed	-4	2
Top-Level Source Type	HDL	
Synthesis Tool	XST (VHDL/Verilog)	
Simulator	ISim (VHDL/Verilog)	
Preferred Language	Verilog	
Property Specification in Project File	Store all values	
Manual Compile Order		17
VHDL Source Analysis Standard	VHDL-93	1

Slika 3.2: Prozor Device Properties

Pojaviće se dijalog za odabir uređaja i toka dizajna i treba odabrati sledeća podešavanja:

Device Family: **Spartan3E** Device: **xc3s500E** Package: **fg320** Speed Grade: **-4** Synthesis Tool: **XST (VHDL/Verilog)** Simulator: **ISim (VHDL/Verilog)** Preferred Language: **Verilog**

Napomena: Može se pod Evaluation Development Board izabrati Spartan-3E Starter Board i tada bi se automatski podesile opcije za FPGA čip.

- 4. **<Next>**, pa **<Finish>**
- 5. Izabrati *Project→New Source*.

Pojaviće se sledeći prozor (**New Source Wizard** - slika 3.3) u kome treba izabrati opciju **Verilog Module,** dati ime fajlu (npr. **brojac**) i pritisnuti **<Next>**.

> New Source Wizard	X
Select Source Type Select source type, file name and its location. BMM File ChipScope Definition and Connection File Implementation Constraints File IP (CORE Generator & Architecture Wizard) MEM File Schematic User Document Verilog Module Verilog Test Fixture VHDL Module VHDL Library VHDL VHDL Library VHDL Test Bench Embedded Processor	Eile name: brojac Logation: C:\Users\Mico\Documents\X\LABS\brojac
More Info	<u>N</u> ext Cancel

Slika 3.3: Prozor New Source Wizard

U sledećem prozoru unijeti nazive portova i njihove smjerove, kako je to prikazano na slici 3.4 i izabrati <Next> i <Finish>. Na pitanje da li želite da kreirate folder odgovoriti sa <Yes>.

Define Module Specify ports for module.						
1odule name brojac						
Port Name	Directi	on	Bus	MSB	LSB	100
diode	output	-		3	0	
smjer	input	-				
takt	input		100			
reset	input	-				
	input	-				
	input	-				
	input	-	100			
	input	-				
	input	-				
	input	-				
	input		101			

Slika 3.4: Unos portova

- 7. Dobijeni okvir za kreiranje modula dopuniti funkcionalnošću modula saglasno kodu prikazanom u poglavlju 2.1.
- 8. Snimiti izmjene u fajlu: **File→Save**

Implementacija

 Prvi korak je pridruživanje odgovarajućih pinova FPGA čipa signalima unutar našeg dizajna. Ulazne signale *smjer* i *reset* ćemo povezati na prekidače koji se nalaze na Spartan 3E Starter Kit razvojnoj platformi, a izlazne signale *diode* na LED (slika 3.5). U tu svrhu možemo koristiti program **PlanAhead**, kao što je to prikazano u laboratorijskoj vježbi "Architecture Wizard i PACE Lab (PlanAhead)". Međutim, ovdje ćemo isti zadatak obaviti na drugačiji način.



smjer reset

Slika 3.5: Položaj prekidača i LED koji se koriste u ovoj vježbi

- 2. U **Design View** prozoru selektovati opciju **Implementation**, a u **Design Hierarchy** prozoru selektovati **brojac**.
- 3. Izabrati **Project**→ **New Source**, u novom prozoru selektovati **Implementation Constraints File** i dati mu ime (npr. **constraints**) (slika 3.6). Potom izabrati **<Next>**, **<Finish>**
- 4. U upravo kreirani fajl, uz pomoć dokumenta *Spartan-3E Starter Kit Board User Guide*, unijeti kod kojim definišemo povezivanje signala unutar dizajna sa pinovima FPGA čipa:

NET "takt" LOC = "C9" | IOSTANDARD = LVCMOS33; NET "takt" PERIOD = 20.0ns HIGH 40%;

NET "diode<0>" LOC = "F12" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8;

```
NET "diode<1>" LOC = "E12" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "diode<2>" LOC = "E11" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "diode<3>" LOC = "F11" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
```

```
NET "reset" LOC = "L13" | IOSTANDARD = LVTTL | PULLUP ;
NET "smjer" LOC = "L14" | IOSTANDARD = LVTTL | PULLUP ;
```

- 5. Snimiti unijete izmjene u *constraint* fajl: File→ Save
- 6. U **Processes** prozoru dva puta kliknuti na **Generate Programming File** (pri čemu su i dalje selektovane stavke iz koraka 2) i sačekati da se proces završi.
- 7. Uključiti Spartan-3E Starter Board razvojnu platformu i povezati je sa računarom pomoću USB kabla.

Select source type, file name and its location.	Eile name: constraints Logation: C:\Users\Mico\Documents\X\LABS\brojac
	Add to project

Slika 3.6: Kreiranje costraints fajla

Generisanje Flash PROM fajla

- 1. U **Processes** prozoru raširiti **Configure Target Device** i dva puta kliknuti na **Generate Target PROM/ACE File**.
- 2. Kada se pokrene program iMPACT u prozoru iMPACT Flows dva puta kliknuti na Create PROM File. Pojaviće se PROM File Formatter prikazan na slici 3.7. U prozoru Storage Device Type (Step 1) izabrati Xilinx Flash/PROM i pritisnuti zelenu strelicu desno od prozora. Aktiviraće se prozor Step 2 u kome treba izabrati PROM Family: Platform Flash i Device(bits): xcf04s [4M] (ovo je Flash memorija koja se nalazi na platformi). Nakon toga pritisnuti dugme Add Storage Device. Označiti dodati uređaj (xcf04s) i pritisnuti zelenu strelicu koja se nalazi desno od prozora Step 2. Time je aktiviran prozor Step 3 u kome treba

dati ime izlaznom fajlu (npr. **brojac**). Važno je provjeriti da pod **File Format** stoji **MCS**. Konačan izgled *PROM File Formatter*-a prikazan na slici 3.8. Izabrati <**OK**> i <**OK**>.

Step 1.	Select Storage Target	Step 2.	Add Storage Device(s)		Step 3.		Enter Data
Storage Device T	ype :	Target EDC A	Coartan 20		General File Detail	1	Value
Xilinx Flash/P Non-Volatile F	ROM PGA	Storage Device	(bits): 512K +		Checksum Fill Value	FF	
Spartan3 SPI Flash	AN	Add Storage	Pevice Remove Storage Device		Output File Name	Untitled	
Configure Configure	e Single FPGA e MultiBoot FPGA				Output File Location	Mico\Documen	ts\X\LABS\brojac\
Configure	e Single FPGA e MultiBoot FPGA			_	Flash/PROM Fi	le Property	Value
Generic Parallel PROM Generic Parallel PROM	e from Paralleled PROMs			mþ	File Format		BIN
				Use Power-of-2 for	r Start Addr	No	
					Number of Bitstrea	m	2
					Bitstream 0 Start A	ddress	0
					Bitstream 1 Start A	ddress	675840
					Add Non-Configura	tion Data Files	Yes
		11			Number of Data File	e	
		Auto Select	L PROM		4		
eccription							
Description: The PROM File For programmed PRC Additional capabi	ormatter will guide you through the steps to M device can then be used to configure the lities of the PROM File Formatter include: no RROM files containing specific FRGA confi	format bitstream BIT f target FPGA.	files into a PROM file that is compatible w	ith Xilinx	® and third-party Pi	ROM programm	ers. The

Slika 3.7: PROM File Formatter

step 1.	Select Storage Target		Step 2. Add	Storage I	Device	(s)	Step 3.		Enter D	ata
Storage Device T	Type :		DD OM Esmily	Diatform Elad	ь [7	General File Detai	1	Value	_
Xilinx Flash/P	PROM FPGA		Device (bits)	xcf04s	[4M]	-	Checksum Fill Value	FF		
Spartan3	3AN		Add Storage Device	Remove Stor	rage Devic	_	Output File Name	brojac		
Configure Configure BPI Flash	e Single FPGA e MultiBoot FPGA		xcf04s [4 M]				Output File Location	Mico\Documer	nts\X\LABS\brojac	1
Configure	e Single FPGA e MultiBoot FPGA					-	Flash/PROM F	ile Property	Value	
Configure	e from Paralleled PROMs						File Format		MCS	
Generic Para	INEL PROM						Add Non-Configur	ation Data Files	No	
			Auto Select PROM			5				
escription:			Auto Select PROM			39 N				
escription: I this step, you • Checkss • Output • Output	will enter information to assist in setting i sum Fill Value: When data is insufficient File Name: This allows you to specify File Location: This allows you to specify	up and g to fill the le base n y the dire	Auto Select PROM Auto Select PROM enerating a PROM file for t entire memory of a PROM ame of the file to which yo ectory in which the file nam	ne targeted sto the value spec ur PROM data w ed above will be	rage devi cified here vill be writ e created	te and mo is used to en	de. calculate the checksu	m of the unuser	d portions.	

Slika 3.8: PROM File Formatter sa podešenim opcijama

3. Pojaviće se prozor za izbor **.bit** fajla u kome se nalazi željeni dizajn (slika 3.9). Izabrati fajl **brojac.bit** i **<Open>**.

Organize 🔻 New folder			= • 🔟 (
🔆 Favorites 📄 Ni	ame	Date modified	Туре
🔜 Desktop	_ngo	26.4.2018 15:54	File folder
🚺 Downloads 🔰	_xmsgs	26.4.2018 15:54	File folder
😛 Dropbox	brojac_xdb	14.3.2018 12:32	File folder
🗓 Recent Places 🧯 🔒	iseconfig	14.3.2018 12:35	File folder
📙 Google Drive 🔰	xlnx_auto_0_xdb	26.4.2018 15:54	File folder
🝊 OneDrive 🔰	xst	14.3.2018 12:01	File folder
	brojac.bit	26.4.2018 15:54	BIT File
 ➢ Libraries ➢ Documents ➢ Music ➢ Pictures ☑ Videos 			
▼ ∢ [
File name:	broiac.bit	▼ FPGA Bit Fil	es (*.bit)

Slika 3.9: Izbor fajla sa dizajnom

4. Na pitanje "**Would you like to add another device file to Revision: 0**" odgovoriti sa **<No>** i potom pritisnuti **<OK>**. Izgled ekrana prikazan je na slici 3.10.



Slika 3.10: PROM File Formatter nakon izbora fajla sa dizajnom

- 5. U prozoru **iMPACT Processes** dva puta kliknuti na **Generate File**. Proces se završava sa porukom **Generate Succeeded**.
- 6. Povezati Spartan-3E platformu USB kablom sa računarom, a zatim platformu uključiti.
- 7. Dva puta kliknuti na Boundary Scan u iMPACT Flows prozoru. Nakon toga se desnim tasterom miša klikne na praznu bijelu površinu na kojoj piše "Right click to Add Device or Initialize JTAG chain" i izabere se opcija Initialize Chain. Na pitanje "Do you want to continue and assign configuration file(s)" odgovoriti sa <YES>.
- 8. Kada se pojavi dijalog **Assign New Configuration File**, za **xc3s500e** (prvi uređaj u JTAG 'lancu') se klikne **<Bypass>**.
- 9. Za drugi uređaj (xcf04s) se izabere fajl brojac.mcs, a za treći uređaj se klikne <Bypass>.
- 10. Kada se pojavi prozor Device Programming Properties selektovati Device 2 (PROM xcf04s), aktivirati opcije Verify, Erase The Entire Device i Load FPGA (slika 3.11) i pritisnuti <OK>.

Boundary-Scan			
Device 1 (FPGA xc3s500e)	Property Name	Value	
Device 2 (PROM xct04s)	Verify		
Device 3 (CPLD2 xc2c04a)	General CPLD And PROM Properties		
	Erase The Entire Device		
	Read Protect		
	PROM/CoolRunner-II Usercode (8 Hex Dig	its)	
	PROM Specific Properties		
	Load FPGA		

Slika 3.11: PROM File Formatter nakon izbora fajla sa dizajnom

11. Izgled radnog prozora prikazan je na slici 3.12.



Slika 3.12. JTAG lanac sa dodijeljenim konfiguracionim fajlom

- 12. Kliknuti desnim klikom na ikonicu čipa **xcf04s** koji je označen zelenom bojom (ako nije označen prvo ga selektovati lijevim tasterom miša) u radnom prozoru i odabrati **Program**.
- 13. Promjenom položaja prekidača mijenjati smjer brojanja i resetovati brojač, a promjene pratiti na LE diodama.

Napomena: da bi se FPGA ispravno konfigurisao potrebno je podesiti konfiguracioni mod, odnosno izabrati odakle FPGA preuzima konfiguraciju. Uputstvo za podešavanje konfiguracionog moda se nalazi u fajlu "**Spartan-3E Starter Kit Board User Guide**", stranice 25 do 27.

4. ZAKLJUČAK