

Grupe za izradu projektnih zadataka:

Prvi zadatak: Danilo Lučić
Drugi zadatak: Danijela Danilović 1047/22 Milika Danilović 1048/22
Treći zadatak: Amina Pirović 35/22 Stefan Ćurić
Četvrti zadatak: Danilo Vavić 1051/22
Peti zadatak: Andrijana Drašković 1054/22

Predmetnom nastavniku studenti dostavljaju:

- **programski kod** za hardversku realizaciju u elektronskoj formi
- **.docx verziju seminarskog rada** koja mora da sadrži:
 - Uvod u kome se objašnjava šta je traženo projektnim zadatkom,
 - Objašnjenje odabranog algoritma za rješenje projektnog zadatka,
 - Objašnjenje hardverske realizacije i demonstraciju ostvarenih rezultata (grafičku, a po želji i tabelarnu),
 - Resurse upotrebljene za hardversku realizaciju,
 - Zaključak.

Navedene stavke su neophodne, a student može da proširi predloženi koncept, po želji.

Odbrana se organizuje **05.09.2023.** Tačan termin i sala u kojoj će se izvoditi popravni kolokvijum (za one koji žele da ga polažu) i odbrane projektnih zadataka biće naknadno objavljeni. Traženo se dostavlja predmetnom nastavniku najkasnije 04.09.2023. do 8h ujutru. Za odbranu su studenti dužni da pripreme .ppt/.pptx prezentaciju i izlaganje u trajanju ne kraćem od 20 minuta i ne dužem od 30 minuta. **Bez usmenog izlaganja se pismeni dio rada neće priznati.**

Ukoliko jedan od članova tima odustane, drugi je dužan da uradi realizuje projektni zadatak sam.

Projektni zadatak 1:

Dizajnirati, realizovati i testirati u VHDL-u *aritmetičko-logičku jedinicu* koji će se sastojati od dva modula (komponente) za aritmetičke i za logičke operacije. Neophodno je uključiti sve moguće (definisane) operacije.

Projektni zadatak 2:

Dizajnirati, realizovati i testirati u VHDL-u *pomjerački sistem* koji će se sastojati od modula (komponenti) za učitavanje podatka u registar, pomjeranje sadržaja registra ulijevo (za 1 i za 2 bita), pomjeranje sadržaja podatka udesno (za 1 i za 2 bita), pauziranje, rotiranje podataka u registru ulijevo i rotiranje podataka u registru udesno. Podrazumijevati rad sa 16-bitnim registrima.

Projektni zadatak 3:

Dizajnirati, realizovati i testirati u VHDL-u *brojački sistem* koji će se sastojati od modula (komponenti) za brojanje naviše, brojanje naniže, brojanje svakog drugog podatka, pauziranje, učitavanje konkretne vrijednosti. Podrazumijevati rad sa 8-bitnim vrijednostima.

Projektni zadatak 4:

Dizajnirati, realizovati i testirati u VHDL-u *konvertor* iz binarnih u BCD vrijednosti. Neka posmatrani konvertor radi sa 12-bitnim brojevima.

Projektni zadatak 5:

Dizajnirati, realizovati i testirati u VHDL-u *programabilni mod-M brojač* upotrebom FSM pristupa.