

Primjeri digitalnih mreža

Konstrukcija logičkih mreža

- Definisiranje zavisnosti ulaznih od izlaznih promjenljivih
- Definisiranje tablice
- Pravljenje izraza
- Sinteza
- Dodjela simbola

Sabirači

- Sabirač ima dvije ulazne promjenljive x i y , dvije izlazne promjenljive z i q
- Ulazi su dvije binarne cifre koje se sabiraju, izlaz z je zbir, q je prenos
- Formule
 - $z(x, y) = x \text{ XOR } y$
 - $q(x, y) = x \text{ AND } y$

Potpuni sabirač

- Ulazi su x , y , p – cifra prvog sabirka, cifra drugog sabirka, stari prenos
- Izlazi su z – zbir, p – novi prenos
- Formule:
 - $z(x, y) = x \text{ XOR } y \text{ XOR } p$
 - $p(x, y) = (x \text{ XOR } y) \text{ AND } p \text{ OR } x \text{ AND } y$

Paralelni sabirač

- Sabira dva binarno zapisana broja
- Neka sabirci imaju 4 cifre

$$- \underset{4}{x} \underset{3}{x} \underset{2}{x} \underset{1}{x} + \underset{4}{y} \underset{3}{y} \underset{2}{y} \underset{1}{y} = \underset{4}{z} \underset{3}{z} \underset{2}{z} \underset{1}{z}$$

- Za konstrukciju paralelnog sabirača možemo upotrijebiti četiri potpuna sabirača

Dekoder

- Dekoder je kombinaciona mreža sa određenim brojem ulaza i izlaza, pri čemu svaka dozvoljena kombinacija ulaza aktivira tačno jedan izlaz
- Za dekodeer sa n ulaza kažemo da je potpun (binarni) ako ima 2^n izlaza
- Ulazi: x_1, x_2, \dots, x_n
- Izlazi (samo je jedan jednak jedinici), ukupno ih ima $N = 2^n$: y_1, \dots, y_N

Dekoder (2)

- Primjena: raspoznavanje naredbe
- Ako su naredbe kodirane sa 4 bita, različitih naredbi ima 16, dekodera ima 4 ulaza i 16 izlaza
- Primjer za $n = 2$, $y_1 = \neg x_1 \text{ AND } \neg x_2$, $y_2 = \neg x_1 \text{ AND } x_2$, $y_3 = x_1 \text{ AND } \neg x_2$, $y_4 = x_1 \text{ AND } x_2$
- Često se izlaz dekodera uslovljava postojanjem signala dozvole $E = CS_1 \text{ AND } CS_2 \text{ AND } \neg CS_3$

Dekoder (3)

- Kaskadno vezivanje dekodera, dva 3/8 dekodera za prepoznavanje četvorobitnih binarnih brojeva
- Enkoder, mreža koja je inverzna dekoderu, za $n = 3$, jednačine enkodera imaju oblik $x_1 = x_1(y_1, \dots, y_8)$, $x_2 = x_2(y_1, \dots, y_8)$, $x_3 = x_3(y_1, \dots, y_8)$

Multiplekser

- Obavlja funkciju digitalnog više-položajnog prekidača
- Signal selekcije SEL postavlja se u željeni položaj tako da se bira samo jedan ulazni signal
- Ako su ulazi D_0, \dots, D_7 signal SEL sastoji se od tri binarna signala S_0, S_1, S_2
- Postoji i signal dozvole E
- Jednačina multipleksera u slučaju dva ulaza $Y = (D_0 \text{ AND } !S \text{ OR } D_1 \text{ AND } S) \text{ AND } E$

Trostatički baferi

- Izlazi trostatičkog kola – nula, jedinica, položaj visoke impedanse (otpora)
- Trostatička kola: I, ILI, NI, NILI, invertori, neinvertujući pojačivači
- Signal E, signal aktiviranja, za $E = 0$, stanje visoke impedanse, matematički nedefinisana vrijednost
- Slanje više signala preko zajedničke linije

Magistrale digitalnih signala

- Magistrala je prenosni put između dvije mreže ili dva podsistema u digitalnom sistemu ili dva registra, sastoji se od određenog broja paralelnih vodova – širina magistrale
- Jedna magistrala za komunikaciju između nekoliko podsistema
- Tipovi, adresna od npr. 20 linija, za podatke od npr. 16 linija, upravljačka od npr. 8 linija, sve zajedno čine sistemsku magistralu
- Trostatički baferi za realizaciju dvosmjernih magistrala

Pojam bistabilnog kola

- Bistabilni – memorijski, Fon Nojmanov element: više ulaza, jedan izlaz Y , grafički se predstavlja kružićem, prag elementa t , može da bude 1, 2, 3
- Dvije vrste ulaza, ulazi prve vrste direktno vode u element i oni doprinose da je $y = 1$, ako manje od t tih ulaza 1 izlaz će biti 0, ulazi druge vrste crtaju se tako da imaju mali krug na ulazu u element, nazivaju se prepreke, ako je bar jedna prepreka 1, onda je $y = 0$ (bez obzira na ostale vrijednosti)

Pojam bistabilnog kola (2)

- Princip povratne sprege (petlje), naponski nivo u petlji se brzo ustali na 0 ili 1, konstruisan je element koji pamti
- Četiri vrste bistabilnih elemenata
 - SR kolo
 - JK kolo
 - D kolo
 - T kolo

SR leč kolo

- Dva ulaza S i R , Set znači postavi 1, Reset znači postavi 0, izlazi su Q i $!Q$, oni moraju da budu komplementarni, kolo je setovano ako je $Q = 1$
- Analiza: kada je $S = R = 0$, kolo pamti jedan bit, saopštava po liniji Q tu vrijednost
- Analiza: kada je $S = 1$, $R = 0$, izlaz je $Q = 1$, kolo je setovano

SR leč kolo (2)

- Analiza: kada je $S = 0$, $R = 1$, izlaz je $Q = 0$, kolo je resetovano
- Analiza: kada je $S = R = 1$, oba izlaza su 0, ova je kombinacija nedozvoljeno stanje na ulazu
- Funkcionalna tabela daje stanje na izlazima za sve moguće kombinacije ulaza
- Eksitaciona tabela definiše vrijednosti ulaza za koje se kolo prevodi u željeno stanje

SR leč kolo (3)

- Logička jednačina izražava novo stanje izlaza kao funkciju od dosadašnjeg stanja izlaza i dva ulaza S i R, $Q_{n+1} = S \text{ AND } !R \text{ OR } !S \text{ AND } !R \text{ AND } Q_n$
- Vremenski dijagram, $Q = Q(t)$ u zavisnosti od $S=S(t)$, $R=R(t)$, t – vrijeme
- SR leč kolo sa signalom dozvole, jednačina $Q_{n+1} = CS \text{ OR } !(CR)Q_n$

D leč kolo

- Jedan ulaz u leč kolo koji određuje izlaz, dodatno kontrolni ulaz C
- Analiza: $C = 1$, $D = 1$, tada je $A = 0$, $B = 1$, kolo se setuje
- Analiza: $C = 1$, $D = 0$, tada je $A = 1$, $B = 0$, kolo se resetuje
- Zaključak: na izlazu se uvijek pojavljuje isti signal koji je na ulazu
- Kada je $C = 0$, stanje na izlazu biva zamrznuto

D leč kolo (2)

- Osnovni vremenski parametri: t_{su} – setup time, t_h – hold time
- Za pravilan rad kola signal D mora da bude stabilan najmanje t_{su} nanosekundi prije opadanja $C = 1$ na $C = 0$
- Za pravilan rad kola signal D mora da bude stabilan najmanje t_h nanosekundi poslije opadanja $C = 1$ na $C = 0$

Sinhroni flipflopovi SR i D

- Flipflopovi, promjena stanja je dozvoljena samo u određenim trenucima vremena koji su određeni taktom sistema
- MS flipflop, okidanje se vrši jednim cijelim takt impulsom
- D flipflop sa impulsnim okidanjem
- Direktni priključci S i R za asinhrono setovanje i resetovanje (za inicijalizaciju sistema)

Flipflopovi JK i T

- JK flipflopovi rješava situaciju $S = R = 1$
- Realizacija: SR leč kolo, dva NI kola, preko NI kola dovode se povratne sprege sa izlaza na ulaze, C je takt, J je ulaz za setovanje, K je ulaz za resetovanje
- Analiza $J = K = 1$, stanje flipflopa se komplementira
- Jednačina, $Q_{n+1} = J \text{ AND } !Q_n \text{ OR } !K \text{ AND } Q_n$

Flipflop T

- Ivični flipflop koji mijenja stanje na svaku rastuću ivicu takta
- Realizacija pomoću D flipflopa ili pomoću JK flipflopa, jednačina $Q_{n+1} = !Q_n$
- Izlazni signal ima dva puta manju učestanost od takta, primjena u djeliteljima učestanosti
- T flipflop sa dozvolom

Stacionarni registri ili registri

- Sekvencijalna mreža koja se koristi za privremeno memorisanje digitalnih informacija
- Memorijski elementi – ivični D flipflopovi, postojanje zajedničkog taktnog impulsa, istovremeno resetovanje
- Bafer je registar za asinhronu razmjenu
- Registri se obično prave sa 2, 4, 8 flipflopova

Vrste stacionarnih registara

- Stacionarni registri čiji su izlazi Q_i trostatički za koje je karakteristično prisustvo ulaznog priključka OE
- Bidirekcionni stacionarni registar može da prima ili da šalje informacije sa magistrale
- Adresibilni registar kod koga se informacija sa ulaza upisuje u samo jedan njegov bit

Pomjerački registri

- Zapamćena informacija pomjera se za jedno mjesto ako je aktivan taktni impuls
- Realizuje se pomoću D ili JK flipflopova
- Informacija se upisuje preko ulaza S_D i R_D , load funkcija
- Ako je $A = 1$, $B = 0$, onda je $Q_A = 1$, $Q_B = 0$, za vrijeme uzlazne ivice prvog CLK impulsa sadržaj flipflopa A pomjerio se u flipflop B

Serijski sabirač

- Sabira dva n-bitna binarna broja za n taktova
- Sabirci su x i y , zbir je z , sva tri broja drže se u pomjeračkim registrima
- Formule za binarno sabiranje

$$z_k = x_k \text{ XOR } y_k \text{ XOR } q_{k-1}$$

$$q_k = x_k y_k \text{ OR } x_k q_{k-1} \text{ OR } y_k q_{k-1}$$

Serijski prenos

- Sinhroni serijski prenos, dva pomjeračka registra A i B, serijski izlaz SOUT, serijski ulaz SIN, signal takta CLK, prenos po dvije linije
- Asinhroni serijski prenos, šalje se samo informacija dok se takt prijemnog pomjeračkog registra generiše lokalno, prenos po jednoj liniji

Paralelni prenos

- Prenos od procesorskog registra A u prijemni registar štampača B, između A i B postavi se bafer M koji se sastoji od $m+1$ pomjeračkih registara R_0, \dots, R_m
- Registri A i B su veličine m bita, registri iz bafera su veličine n bita, ukupno za prenos potrebno je $2n$ koraka
- Rad po dva taktna impulsa, jedan za procesor, drugi sporiji za štampač

Brojači

- Sekvencijalna mreža kod koje važi jednakost $q_1 = q_0 + 1$
- Upisane vrijednosti tokom vremena obrazuju ciklus, broj različitih stanja u ciklusu naziva se osnova brojača
- Memorijski elementi su flipflopovi, brojač sa n flipflopova ima 2^n stanja
- Sinhroni i asinhroni brojači