

Elektrotehnički fakultet / ELEKTRONIKA / Projektovanje digitalnih sistema

Uslovljenost drugim predmetima	Nema.
Ciljevi izučavanja predmeta	U okviru ovog predmeta studenti se upoznaju sa osnovnim principima digitalnog dizajna najnižeg nivoa. Cilj je da se studenti osposobe da dizajniraju i razvijaju digitalne sisteme malih i srednjih veličina, izvrše potrebne analize, kao i implementaciju na FPGA kolu.
Ime i prezime nastavnika i saradnika	Prof. dr Milutin Radonjić
Metod nastave i savladanja gradiva	Predavanja i laboratorijske vježbe, individualni rad na praktičnim zadacima, konsultacije.
I nedjelja, pred.	Uvod u tehnologiju mikrosistema. Pregled tehnologija za implementaciju. SSI, MSI, LSI, VLSI. Projektovanje opštih sistema.
I nedjelja, vježbe	
II nedjelja, pred.	Dizajn standardne ćelije. Dizajn GA. Field Programmable logika. FPGA. Verilog HDL: tipovi podataka, moduli i portovi. 1. domaći zadatak.
II nedjelja, vježbe	
III nedjelja, pred.	Tok dizajna. Verifikacija. Logička korektnost. Analiza statičkog tajminga. Verifikacija unutar funkcionalnog sistema.
III nedjelja, vježbe	
IV nedjelja, pred.	Xilinx Spartan-3E familija kola. Xilinx Spartan-3E Starter Kit. Xilinx ISE razvojni sistem. 2. domaći zadatak.
IV nedjelja, vježbe	
V nedjelja, pred.	Verilog HDL: operatori, trajno određivanje.
V nedjelja, vježbe	
VI nedjelja, pred.	Verilog HDL: proceduralno određivanje. 3. domaći zadatak.
VI nedjelja, vježbe	
VII nedjelja, pred.	Kolokvijum.
VII nedjelja, vježbe	
VIII nedjelja, pred.	Verilog HDL: signalna i vremenska ograničenja.
VIII nedjelja, vježbe	
IX nedjelja, pred.	Verilog HDL: kontrola kašnjenja, systemske funkcije. 4. domaći zadatak.
IX nedjelja, vježbe	
X nedjelja, pred.	Implementacija automata.
X nedjelja, vježbe	
XI nedjelja, pred.	Razmatranja o sintezi. Razmatranja o FPGA. 5. domaći zadatak.
XI nedjelja, vježbe	
XII nedjelja, pred.	Dizajn i fabrikacija VLSI uređaja.
XII nedjelja, vježbe	
XIII nedjelja, pred.	Proces fabrikacije i njegov uticaj na fizički dizajn.
XIII nedjelja, vježbe	
XIV nedjelja, pred.	Odbrana seminarskog rada.
XIV nedjelja, vježbe	
XV nedjelja, pred.	Završni ispit.
XV nedjelja, vježbe	
Obaveze studenta u toku nastave	Studenti su obavezni da pohađaju nastavu, rade i predaju testove, urade laboratorijske vježbe i kolokvijum.
Konsultacije	Poslije nastave.
Opterećenje studenta u casovima	3 sata predavanja 1 sat laboratorijskih vježbi 4 sata za individualni rad, uključujući konsultacije.

Literatura	- Spartan-3E Starter Kit Board User Guide, Xilinx, 2006. - A Guide To Digital Design And Synthesis, by Samir Palnitkar, Prentice Hall, 2003. - Digital VLSI Design with Verilog, by John M. Williams, Springer, 2008. - Algorithms for VLSI Physical Design Automation, by Naveed A. Sherwani, Kluwer Academic Publishers, 2002.
Oblici provjere znanja i ocjenjivanje	- Domaći zadaci nose 5x1 poen. - Kolokvijum nosi 50 poena. - Završni ispit nosi 45 poena. Prelazna ocjena se dobija ako se kumulativno sakupi najmanje 50 poena.
Posebne naznake za predmet	Nastava se organizuje u grupama do 40 studenata, a laboratorija u grupama do 10 studenata. U slučaju potrebe nastava se može održati na engleskom jeziku.
Napomena	
Ishodi učenja	Nakon položenog ispita, očekuje se da će student biti u mogućnosti da: 1. Razlikuje tehnologije za implementaciju digitalnih kola; 2. Argumentuje razloge za upotrebu jezika za opis hardvera (HDL); 3. Opiše domene modelovanja digitalnih sistema; 4. Opiše arhitekturu FPGA kola; 5. Opiše tok procesa dizajna digitalnog sistema; 6. Razlikuje metodologije dizajna „odozgo ka dolje“ i „odozdo ka gore“; 7. Projektuje digitalni sistem koristeći Verilog jezik za opis hardvera; 8. Generiše stimulus blok za testiranje funkcionalnosti projektovanog digitalnog sistema; 9. provjeri ponašanje projektovanog digitalnog sistema koristeći ISE Design Suite simulator; 10. implementira digitalni sistem na Xilinx FPGA čipu koristeći ISE Design Suite razvojno okruženje.