

Elektrotehnički fakultet / ELEKTRONIKA / Projektovanje digitalnih sistema

Naziv predmeta:	Projektovanje digitalnih sistema			
Šifra predmeta	Status predmeta	Semestar	Broj ECTS kredita	Fond časova (P+V+L)
12047	Obavezan	2	5	3+1+0
Studijski programi za koje se organizuje	ELEKTRONIKA			
Uslovljenost drugim predmetima	Nema.			
Ciljevi izučavanja predmeta	U okviru ovog predmeta studenti se upoznaju sa osnovnim principima digitalnog dizajna najnižeg nivoa. Cilj je da se studenti osposobe da dizajniraju i razvijaju digitalne sisteme malih i srednjih veličina, izvrše potrebne analize, kao i implementaciju na FPGA kolu.			
Ishodi učenja	Nakon položenog ispita, očekuje se da će student biti u mogućnosti da: 1. Razlikuje tehnologije za implementaciju digitalnih kola; 2. Argumentuje razloge za upotrebu jezika za opis hardvera (HDL); 3. Opiše domene modelovanja digitalnih sistema; 4. Opiše arhitekturu FPGA kola; 5. Opiše tok procesa dizajna digitalnog sistema; 6. Razlikuje metodologije dizajna „odozgo ka dolje“ i „odozdo ka gore“; 7. Projektuje digitalni sistem koristeći Verilog jezik za opis hardvera; 8. Generiše stimulus blok za testiranje funkcionalnosti projektovanog digitalnog sistema; 9. provjeri ponašanje projektovanog digitalnog sistema koristeći ISE Design Suite simulator; 10. implementira digitalni sistem na Xilinx FPGA čipu koristeći ISE Design Suite razvojno okruženje.			
Ime i prezime nastavnika i saradnika	Prof. dr Milutin Radonjić			
Metod nastave i savladanja gradiva	Predavanja i laboratorijske vježbe, individualni rad na praktičnim zadacima, konsultacije.			
Plan i program rada				
Pripremne nedjelje	Priprema i upis semestra			
I nedjelja, pred.	Uvod u tehnologiju mikrosistema. Pregled tehnologija za implementaciju. SSI, MSI, LSI, VLSI. Projektovanje opštih sistema.			
I nedjelja, vježbe				
II nedjelja, pred.	Dizajn standardne ćelije. Dizajn GA. Field Programmable logika. FPGA. Verilog HDL: tipovi podataka, moduli i portovi. 1. domaći zadatak.			
II nedjelja, vježbe				
III nedjelja, pred.	Tok dizajna. Verifikacija. Logička korektnost. Analiza statičkog tajminga. Verifikacija unutar funkcionalnog sistema.			
III nedjelja, vježbe				
IV nedjelja, pred.	Xilinx Spartan-3E familija kola. Xilinx Spartan-3E Starter Kit. Xilinx ISE razvojni sistem. 2. domaći zadatak.			
IV nedjelja, vježbe				
V nedjelja, pred.	Verilog HDL: operatori, trajno određivanje.			
V nedjelja, vježbe				
VI nedjelja, pred.	Verilog HDL: proceduralno određivanje. 3. domaći zadatak.			
VI nedjelja, vježbe				
VII nedjelja, pred.	Kolokvijum.			
VII nedjelja, vježbe				
VIII nedjelja, pred.	Verilog HDL: signalna i vremenska ograničenja.			
VIII nedjelja, vježbe				
IX nedjelja, pred.	Verilog HDL: kontrola kašnjenja, systemske funkcije. 4. domaći zadatak.			
IX nedjelja, vježbe				
X nedjelja, pred.	Implementacija automata.			
X nedjelja, vježbe				
XI nedjelja, pred.	Razmatranja o sintezi. Razmatranja o FPGA. 5. domaći zadatak.			

XI nedjelja, vježbe						
XII nedjelja, pred.	Dizajn i fabrikacija VLSI uređaja.					
XII nedjelja, vježbe						
XIII nedjelja, pred.	Proces fabrikacije i njegov uticaj na fizički dizajn.					
XIII nedjelja, vježbe						
XIV nedjelja, pred.	Odbrana seminarskog rada.					
XIV nedjelja, vježbe						
XV nedjelja, pred.	Završni ispit.					
XV nedjelja, vježbe						
Opterećenje studenta	3 sata predavanja 1 sat laboratorijskih vježbi 4 sata za individualni rad, uključujući konsultacije.					
Nedjeljno		U toku semestra				
5 kredita x 40/30=6 sati i 40 minuta 3 sat(a) teorijskog predavanja 0 sat(a) praktičnog predavanja 1 vježbi 2 sat(a) i 40 minuta samostalnog rada, uključujući i konsultacije		Nastava i završni ispit: 6 sati i 40 minuta x 16 =106 sati i 40 minuta Neophodna priprema prije početka semestra (administracija, upis, ovjera): 6 sati i 40 minuta x 2 =13 sati i 20 minuta Ukupno opterećenje za predmet: 5 x 30=150 sati Dopunski rad za pripremu ispita u popravnom ispitnom roku, uključujući i polaganje popravnog ispita od 0 do 30 sati (preostalo vrijeme od prve dvije stavke do ukupnog opterećenja za predmet) 30 sati i 0 minuta Struktura opterećenja: 106 sati i 40 minuta (nastava), 13 sati i 20 minuta (priprema), 30 sati i 0 minuta (dopunski rad)				
Obaveze studenta u toku nastave		Studenti su obavezni da pohađaju nastavu, rade i predaju testove, urade laboratorijske vježbe i kolokvijum.				
Konsultacije		Poslije nastave.				
Literatura		- Spartan-3E Starter Kit Board User Guide, Xilinx, 2006. - A Guide To Digital Design And Synthesis, by Samir Palnitkar, Prentice Hall, 2003. - Digital VLSI Design with Verilog, by John M. Williams, Springer, 2008. - Algorithms for VLSI Physical Design Automation, by Naveed A. Sherwani, Kluwer Academic Publishers, 2002.				
Oblici provjere znanja i ocjenjivanje		- Domaći zadaci nose 5x1 poen. - Kolokvijum nosi 50 poena. - Završni ispit nosi 45 poena. Prelazna ocjena se dobija ako se kumulativno sakupi najmanje 50 poena.				
Posebne naznake za predmet		Nastava se organizuje u grupama do 40 studenata, a laboratorija u grupama do 10 studenata. U slučaju potrebe nastava se može održati na engleskom jeziku.				
Napomena						
Ocjena:	F	E	D	C	B	A
Broj poena	manje od 50 poena	više ili jednako 50 poena i manje od 60 poena	više ili jednako 60 poena i manje od 70 poena	više ili jednako 70 poena i manje od 80 poena	više ili jednako 80 poena i manje od 90 poena	više ili jednako 90 poena